

日本国特許庁  
JAPAN PATENT OFFICE

M. Miura  
9/29/03  
Φ 77648  
10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月 1日  
Date of Application:

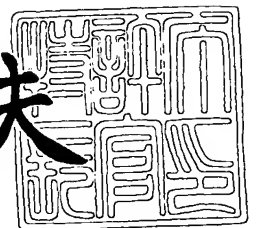
出願番号 特願2002-289073  
Application Number:  
[ST. 10/C]: [JP 2002-289073]

出願人 山形日本電気株式会社  
Applicant(s):

2003年 8月 8日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3064150

【書類名】 特許願

【整理番号】 00410202

【あて先】 特許庁長官殿

【国際特許分類】 H03F 3/45

【発明者】

【住所又は居所】 山形県山形市北町四丁目 1 2 番 1 2 号  
山形日本電気株式会社内

【氏名】 三浦 信

【特許出願人】

【識別番号】 390001915

【氏名又は名称】 山形日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 021566

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9114205

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 演算増幅器

【特許請求の範囲】

【請求項 1】 第 1 の電源線と第 2 の電源線間に設置され、差動入力信号を第 1 の差動入力端子および第 2 の差動入力端子に受ける第 1 の差動トランジスタ対と、

前記第 1 の電源線と前記第 2 の電源線間に設置され、前記差動入力信号を第 3 の差動入力端子および第 4 の差動入力端子に受ける第 2 の差動トランジスタ対と、

前記第 1 の差動トランジスタ対と前記第 2 の電源線間に接続する第 1 の電流源回路と、

前記第 2 の差動トランジスタ対と前記第 1 の電源線間に接続する第 2 の電流源回路と、

出力信号を出力する出力端子と、

前記出力端子を介して駆動出力電流を流し込む第 1 のトランジスタと、

前記出力端子を介して駆動出力電流を引き込む第 2 のトランジスタと、

前記出力信号の信号出力レベルに対応して前記駆動出力電流を制御する出力駆動回路と、

前記出力駆動回路の駆動出力レベルに応答し、前記信号出力レベルの上昇または下降に応じて前記第 1 の差動トランジスタ対の回路電流を制御する第 1 の位相反転回路と、

前記出力駆動回路の駆動出力レベルに応答し、前記信号出力レベルの下降または上昇に応じて前記第 2 の差動トランジスタ対の回路電流を制御する第 2 の位相反転回路とを備えることを特徴とする演算増幅器。

【請求項 2】 第 1、第 2 の入力端子と、前記第 1、第 2 の入力端子に第 2 電極がそれぞれ接続され、互いに逆伝導型の第 1、第 2 の差動トランジスタ対と、

前記第 1 の差動トランジスタ対の負側の出力端子と前記第 2 の差動トランジスタ対の正側の出力端子と第 1 の電源端子との間に接続された第 1 の電流ミラー回

路と、

前記第2の差動トランジスタ対の正側の出力端子と前記第1の差動トランジスタ対の負側の出力端子と前記第1の電源端子との間に接続された第2の電流ミラー回路と、

前記第2の差動トランジスタ対と第2の電源端子との間に接続された負荷回路と、

前記第1の電流ミラー回路と前記負荷回路の接続端子に接続され、出力トランジスタを制御する出力端子を2本有した出力駆動回路と、

前記出力駆動回路の一方の出力端子に第2電極が接続され、第1電極と第3電極をそれぞれ第1の電源端子と出力端子に接続した第1のトランジスタと、

前記出力駆動回路のもう一方の出力端子に第2電極が接続され、第1電極と第3電極をそれぞれ第2の電源端子と出力端子に接続した第2のトランジスタと、

前記第1、第2の差動トランジスタ対に接続され、前記出力駆動回路の出力信号によって制御される第1、第2の電流源回路と、

前記出力駆動回路の駆動出力レベルに応答し、前記信号出力レベルの上昇または下降に応じて前記第1の差動トランジスタ対の回路電流を制御する第1の位相反転回路と、

前記出力駆動回路の駆動出力レベルに応答し、前記信号出力レベルの下降または上昇に応じて前記第2の差動トランジスタ対の回路電流を制御する第2の位相反転回路とを備えることを特徴とする演算増幅器。

【請求項3】 前記第1の電流源回路は、第2電極を前記第1の位相反転回路に接続し、さらに、第1電極、第3電極をそれぞれ前記第2の電源端子と前記第1の差動トランジスタ対に接続する第3のトランジスタと、

前記第1の差動トランジスタ対と第2の電源端子と出力端子と前記第2のトランジスタの第2電極に接続する第3の電流源回路と、

前記第2の電流源回路は、第2電極を前記第2の位相反転回路に接続し、第1、第3電極をそれぞれ前記第1の電源端子と前記第2の差動トランジスタ対に接続する第4のトランジスタと、

前記差動トランジスタ対と第1の電源端子と前記出力端子と前記第1のトラン

ジスタの第2電極のそれぞれに接続する第4の電流源回路とを備える請求項1または2記載の演算増幅器。

【請求項4】 前記第1、第2の電流源回路に並列に接続する第1、第2の定電流源回路を有する請求項2または3記載の演算増幅器。

【請求項5】 前記第3の電流源回路は、第5、第6のトランジスタから構成され、

前記第5のトランジスタは、第3電極を前記第1の差動トランジスタ対と接続し、第2電極を出力端子と接続し、第1電極を前記第6のトランジスタの第3電極と接続し、

前記第6のトランジスタは、第3電極を前記第5のトランジスタの第1電極と接続し、第2電極を前記第2のトランジスタの第2電極と接続し、第1電極を前記第2の電源端子に接続し、

前記第4の電流源回路は、第7、第8のトランジスタから構成され、

前記第7のトランジスタは、第3電極を前記第2の差動トランジスタ対と接続し、第2電極を出力端子と接続し、第1電極を前記第8のトランジスタの第3電極と接続し、

前記第8のトランジスタは、第3電極を前記第7のトランジスタの第1電極と接続し、第2電極を前記第1のトランジスタの第2電極と接続し、第1電極を前記第1の電源端子に接続する請求項2乃至4記載のいずれか1項に記載の演算増幅器。

【請求項6】 前記第1の位相反転回路は、第9、第10、第11のトランジスタから構成され、

前記第9のトランジスタは、第3電極を前記第10のトランジスタの第1電極に接続し、第2電極を前記第1のトランジスタの第2電極に接続し、第1電極を第1の電源端子に接続し、

前記第10のトランジスタは、第3電極を前記第11のトランジスタの第2、第3電極と前記第3のトランジスタの第2電極とに接続し、第2電極を第1の所定の電圧に接続し、第1電極を前記第9のトランジスタの第3電極に接続し、

前記第11のトランジスタは、第2、第3電極を前記第11のトランジスタの

第3電極と前記第3のトランジスタの第2電極とに接続し、第1電極を前記第2の電源端子に接続し、

前記第2の位相反転回路は、第12、第13、第14のトランジスタから構成され、

前記第12のトランジスタは、第2、第3電極を前記第13のトランジスタの第3電極と前記第4のトランジスタの第2電極とに接続し、第1電極を前記第1の電源端子に接続し、

前記第13のトランジスタは、第3電極を第12のトランジスタの第2、第3電極と前記第4のトランジスタの第2電極とに接続し、第2電極を第2の所定の電圧に接続し、第1電極を前記第14のトランジスタの第3電極に接続し、

前記第14のトランジスタは、第3電極を第13のトランジスタの第1電極に接続し、

第2電極を第2のトランジスタの第2電極に接続し、第1電極を前記第2の電源端子に接続する請求項2乃至5記載のいずれか1項に記載の演算増幅器。

【請求項7】 前記出力駆動段回路は、第15、第16、第17、第18、第19のトランジスタと第3、第4、第5の定電流源から構成され、

前記第15のトランジスタは、第3電極を前記第16、前記第17および前記第18のトランジスタのそれぞれの第2電極と前記第16のトランジスタの第3電極とに接続し、第2電極を前記第1の電流ミラー回路と前記負荷回路に接続し、第1電極を前記第2の電源端子に接続し、

前記第16のトランジスタは、第2、第3電極を前記第17、前記第18のトランジスタのそれぞれの第2電極と前記第15のトランジスタの第3電極とに接続し、第1電極を前記第3の定電流源に接続し、

前記第17のトランジスタは、第3電極を前記第19のトランジスタの第2、第3電極と前記第2のトランジスタの第2電極と前記第6のトランジスタの第2電極と前記第14のトランジスタの第2電極に接続し、第2電極を前記第16、前記第18のトランジスタの第2電極と前記第16、前記第15のトランジスタの第3電極とに接続し、第1電極を前記第1の電源端子に接続し、

前記第18のトランジスタは、第3電極を第5の定電流源と前記第1のトラン

ジスタの第 2 電極と前記第 7 のトランジスタの第 2 電極と前記第 9 のトランジスタの第 2 電極に接続し、第 2 電極を前記第 1 6、前記第 1 7 のトランジスタの第 2 電極と前記第 1 5、前記第 1 6 のトランジスタの第 3 電極に接続し、第 1 電極を前記第 1 の電源回路に接続し、

前記第 1 9 のトランジスタは、第 2、第 3 電極を前記第 1 のトランジスタの第 2 電極と前記第 6 のトランジスタの第 2 電極と前記第 1 4 のトランジスタの第 2 電極と第 1 7 のトランジスタの第 3 電極に接続し、第 1 電極を前記第 4 の定電流源に接続し、

前記第 3 の定電流源は、前記の第 1 の電源端子と前記第 1 5 のトランジスタの第 1 電極との間に接続され、

前記第 4 の定電流源は、前記の第 2 の電源端子と前記第 1 9 のトランジスタの第 1 電極との間に接続され、

前記第 5 の定電流源は、前記第 2 の電源端子と前記第 1 8 のトランジスタの第 3 電極との間に接続される請求項 2 乃至 6 記載のいずれか 1 項に記載の演算増幅器。

【請求項 8】 第 1 電極としてソース電極を、第 2 電極としてゲート電極を、第 3 電極としてドレイン電極を備えた電界効果トランジスタである請求項 2 乃至 7 記載のいずれか 1 項に記載の演算増幅器。

【請求項 9】 第 1 電極としてエミッタ電極を、第 2 電極としてベース電極を、第 3 電極としてコレクタ電極を備えたバイポーラトランジスタである請求項 2 乃至 7 記載のいずれか 1 項に記載の演算増幅器。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

#### 【発明の属する技術分野】

本発明は演算増幅器に関し、特に、広入出力レンジが可能で、かつ大きな負荷を駆動する演算増幅器に関する。

##### 【0 0 0 2】

#### 【従来の技術】

従来の演算増幅器について、図面を参照して説明する。図 1 9 を参照すると、



従来の演算増幅器は、差動入力信号を差動入力端子（IN191）および差動入力端子（IN192）に受ける差動入力段1（1901）と、差動入力信号を差動入力端子（IN193）および差動入力端子（IN194）に受ける差動入力段2（1902）と、差動入力段1（1901）とグランド間に接続する定電流源1（1911）と、差動入力段2（1902）と電源間に接続する定電流源2（1922）と、演算増幅器の出力信号を出力する出力端子（1903）と、ソース電極を電源VCC（1931）に接続し、ドレイン電極を出力端子（1903）に接続し、出力端子（1903）を介して接続された負荷（図示せず）に出力電流を流し込むPチャネルFETM1（1904）と、ソース電極をグランド電源VSS（1932）に接続し、ドレイン電極を出力端子（1903）に接続し、出力端子（1903）を介して接続された負荷（図示せず）から出力電流を引き込むNチャネルFETM2（1905）とを備える。

#### 【0003】

さらに、従来の演算増幅器は、ドレイン電極を差動入力段1（1901）に接続し、ゲート電極を出力端子（1903）に接続し、出力端子（1903）の出力レベルに対応して、差動入力段1（1901）を制御するNチャネルFETM3（1907）と、ドレイン電極をNチャネルFETM3（1907）のソース電極に接続し、ゲート電極に駆動段回路（1935）の第1の制御信号を受け、ソース電極をグランド電源VSS（1933）に接続するNチャネルFETM4（1908）と、ソース電極を電源VCC（1934）に接続し、ゲート電極に駆動段回路（1935）の第2の制御信号を受け、出力端子（1903）の出力レベルに対応して、差動入力段2（1902）を制御するPチャネルFETM5（1909）と、ドレイン電極を差動入力段2（1902）に接続し、ソース電極をPチャネルFETM5（1909）のドレイン電極に接続し、ゲート電極を出力端子（1903）に接続するPチャネルFETM6（1910）とを備える。

#### 【0004】

また、差動入力段1（1901）は、公知技術の差動トランジスタ対と、公知技術のカレントミラー回路とを具備し、差動入力段2（1902）は、公知技術

の差動トランジスタ対と、公知技術の負荷回路とを具備する構成である。

#### 【0 0 0 5】

すなわち、差動入力段 1 (1 9 0 1) は、差動入力端子 (I N 1 9 1) にゲート電極を接続し、差動入力端子 (I N 1 9 2) にゲート電極を接続した第 1 の差動トランジスタ対 (M M 5、M M 6) と、第 1 の差動トランジスタ対 (M M 5、M M 6) の負側の出力端子と高電位電源線 V C C (1 9 3 1) との間に接続された第 1 の電流ミラー回路 (M M 1、M M 2) と、第 1 の差動トランジスタ対 (M M 5、M M 6) の負側の出力端子と高電位電源線 V C C (1 9 3 1) との間に接続された第 2 の電流ミラー回路 (M M 3、M M 4) とから構成される。

#### 【0 0 0 6】

また、差動入力段 2 (1 9 0 1) は、差動入力端子 (I N 1 9 3) にゲート電極を接続し、差動入力端子 (I N 1 9 4) にゲート電極を接続した第 2 の差動トランジスタ対 (M M 7、M M 8) と、第 2 の差動トランジスタ対 (M M 7、M M 8) と低電位電源線 V S S (1 9 3 2) との間に接続された負荷回路 (M M 9、M M 1 0) とから構成される。

#### 【0 0 0 7】

次に、再び、図 1 9 を参照して、従来の演算増幅器の動作を簡単に説明する。従来の演算増幅器は、差動入力段 1 (1 9 0 1)、差動入力段 2 (1 9 0 2) に出力端子 (1 9 0 3) の電位を上昇させる信号が入った場合は、P チャネル F E T M 1 (1 9 0 4) のゲート電極と N チャネル F E T M 2 (1 9 0 5) のゲート電極は下降し、その信号がそれぞれ P チャネル F E T M 5 (1 9 0 9) と N チャネル F E T M 4 (1 9 0 8) のゲート電極に入力される。

#### 【0 0 0 8】

このとき P チャネル F E T M 5 (1 9 0 9) のゲート電極には、下降した P チャネル F E T M 1 (1 9 0 4) の信号が入力され、差動入力段 2 (1 9 0 2) の電流値を増加させ高スルーレートを得ることができる。

#### 【0 0 0 9】

一方、従来の演算増幅器は、差動入力段 1 (1 9 0 1)、差動入力段 2 (1 9 0 2) に出力端子 (1 9 0 3) の電位を下降させる信号が入った場合は、P チャ

ネル F E T M 1 ( 1 9 0 4 ) のゲート電極と N チャンネル F E T M 2 ( 1 9 0 5 ) のゲート電極は上昇し、その信号がそれぞれ P チャンネル F E T M 5 ( 1 9 0 9 ) と N チャンネル F E T M 4 ( 1 9 0 8 ) のゲート電極に入力される。このとき N チャンネル F E T M 4 ( 1 9 0 8 ) のゲート電極には上昇した N チャンネル F E T M 2 ( 1 9 0 5 ) の信号が入力され差動入力段 1 ( 1 9 0 1 ) の電流値を増加させ高スルーレートをえることができる。

#### 【 0 0 1 0 】

このような演算増幅器は、例えば、特許文献 1 に開示されている。

#### 【 0 0 1 1 】

##### 【特許文献 1】

特開平 1 1 - 0 8 8 0 7 6 号公報 ( 段落番号 0 0 2 6 ~ 段落番号 0 0 3 5 、 図 1 、 図 2 )

#### 【 0 0 1 2 】

##### 【発明が解決しようとする課題】

しかしながら、負荷駆動用の演算増幅器は消費電力が小さく、高スルーレートが要求される。このスルーレートを向上させる発明は数多く提案されている。例えば外部信号によりスルーレートを調整する等があるが、これはデータの変化が無い場合でも電流値を増加させたり、制御回路を必要とするためにパフォーマンスが悪いという問題がある。

#### 【 0 0 1 3 】

また、外部信号を使わず演算増幅器内に自己制御回路を持ちスルーレートを向上させる発明では、P チャンネル F E T 受け差動入力段と N チャンネル F E T 受け差動入力段のどちらか一方のみの電流値を増加させるため、スルーレートがトランジスタの閾値  $V_t$  によって制限され広入出力レンジでスルーレートが向上しないという問題がある。

#### 【 0 0 1 4 】

本発明は、演算増幅器内部に自己制御回路を持ち、トランジスタの閾値  $V_t$  の制限を受けずに広入出力レンジで高スルーレートを得ることが出来る演算増幅器を提案することである。

## 【0 0 1 5】

## 【課題を解決するための手段】

本発明の演算増幅器は、フルレンジで入力可能な差動入力段と、その差動入力段の電流値を決定する電流源回路と、その電流源回路をコントロールする位相反転回路と、駆動段と出力段とを有し、出力段のトランジスタと電流源回路との間に接続された位相反転回路を設けたことを特徴とする。

## 【0 0 1 6】

すなわち、本発明の演算増幅器は、第 1 の電源線と第 2 の電源線間に設置され、差動入力信号を第 1 の差動入力端子および第 2 の差動入力端子に受ける第 1 の差動トランジスタ対と、前記第 1 の電源線と前記第 2 の電源線間に設置され、前記差動入力信号を第 3 の差動入力端子および第 4 の差動入力端子に受ける第 2 の差動トランジスタ対と、前記第 1 の差動トランジスタ対と前記第 2 の電源線間に接続する第 1 の電流源回路と、前記第 2 の差動トランジスタ対と前記第 1 の電源線間に接続する第 2 の電流源回路と、出力信号を出力する出力端子と、前記出力端子を介して駆動出力電流を流し込む第 1 のトランジスタと、前記出力端子を介して駆動出力電流を引き込む第 2 のトランジスタと、前記出力信号の信号出力レベルに対応して前記駆動出力電流を制御する出力駆動回路と、前記出力駆動回路の駆動出力レベルに応答し、前記信号出力レベルの上昇または下降に応じて前記第 1 の差動トランジスタ対の回路電流を制御する第 1 の位相反転回路と、前記出力駆動回路の駆動出力レベルに応答し、前記信号出力レベルの下降または上昇に応じて前記第 2 の差動トランジスタ対の回路電流を制御する第 2 の位相反転回路とを備える構成である。

## 【0 0 1 7】

また、本発明の演算増幅器は、第 1、第 2 の入力端子と、前記第 1、第 2 の入力端子に第 2 電極がそれぞれ接続され、互いに逆伝導型の第 1、第 2 の差動トランジスタ対と、前記第 1 の差動トランジスタ対の負側の出力端子と前記第 2 の差動トランジスタ対の正側の出力端子と第 1 の電源端子との間に接続された第 1 の電流ミラー回路と、前記第 2 の差動トランジスタ対の正側の出力端子と前記第 1 の差動トランジスタ対の負側の出力端子と第 1 の電源端子との間に接続された第

2 の電流ミラー回路と、前記第 2 の差動トランジスタ対と第 2 の電源端子との間に接続された負荷回路と、前記第 1 の電流ミラー回路と前記負荷回路の接続端子に接続され、出力トランジスタを制御する出力端子を 2 本有した出力駆動回路と、前記出力駆動回路の一方の出力端子に第 2 電極が接続され、第 1 電極と第 3 電極をそれぞれ第 1 の電源端子と出力端子に接続した第 1 のトランジスタと、前記出力駆動回路のもう一方の出力端子に第 2 電極が接続され、第 1 電極と第 3 電極をそれぞれ第 2 の電源端子と出力端子に接続した第 2 のトランジスタと、前記第 1、第 2 の差動トランジスタ対に接続され、前記出力駆動回路の出力信号によって制御される第 1、第 2 の電流源回路と、前記出力駆動回路の駆動出力レベルに応答し、前記信号出力レベルの上昇または下降に応じて前記第 1 の差動トランジスタ対の回路電流を制御する第 1 の位相反転回路と、前記出力駆動回路の駆動出力レベルに応答し、前記信号出力レベルの下降または上昇に応じて前記第 2 の差動トランジスタ対の回路電流を制御する第 2 の位相反転回路とを備える構成である。

#### 【0 0 1 8】

またさらに、本発明の演算増幅器は、前記第 1 の電流源回路は、第 2 電極を前記第 1 の位相反転回路に接続し、さらに、第 1 電極、第 3 電極をそれぞれ前記第 2 の電源端子と前記第 1 の差動トランジスタ対に接続する第 3 のトランジスタと、前記第 1 の差動トランジスタ対と第 2 の電源端子と出力端子と前記第 2 のトランジスタの第 2 電極に接続する第 3 の電流源回路と、前記第 2 の電流源回路は、第 2 電極を前記第 2 の位相反転回路に接続し、第 1、第 3 電極をそれぞれ前記第 1 の電源端子と前記第 2 の差動トランジスタ対に接続する第 4 のトランジスタと、前記差動トランジスタ対と第 1 の電源端子と前記出力端子と前記第 1 のトランジスタの第 2 電極のそれぞれに接続する第 4 の電流源回路とを備える構成である。

#### 【0 0 1 9】

この手段を使用すれば、通常フルレンジで入力可能な差動入力段は P チャネル FET 受け、N チャネル FET 受け差動入力段から構成されておりその両方に入力信号の変化を伝達することが出来るためにフルレンジで高スルーレートを得る

ことができる。

#### 【0 0 2 0】

また、信号の変化点でのみ入力段の電流値を増加させるために低消費電力化には有効である。ここで、従来の技術でのスルーレートと電流値と本発明を使用した時のスルーレートと電流値の比較を図 2 0 に示す。

#### 【0 0 2 1】

##### 【発明の実施の形態】

以下、図面を参照して本発明の演算増幅器の実施の形態について説明する。

#### 【0 0 2 2】

図 1 は、本発明の第 1 の実施の形態に係る演算増幅器の構成を示した図である。

#### 【0 0 2 3】

図 1 を参照すると、本発明の第 1 の実施の形態に係る演算増幅器は、差動入力信号を差動入力端子 (IN 1 1) および差動入力端子 (IN 1 2) に受け、高電位電源線 VCC (1 3 1) と低電位電源線 VSS (1 3 3) との間に設置される差動入力段 1 (1 0 1) と、

差動入力信号を差動入力端子 (IN 1 3) および差動入力端子 (IN 1 4) に受け、高電位電源線 VCC (1 3 4) と低電位電源線 VSS (1 3 2) との間に設置される差動入力段 2 (1 0 2) と、

差動入力段 1 (1 0 1) と低電位電源線 VSS (1 3 3) との間に設置され、位相反転回路 1 (1 0 5) と Nチャネル FETM2 (1 0 9) のゲート電極と位相反転回路 2 (1 0 6) のそれぞれに接続する電流源回路 1 (1 0 3) と、

高電位電源線 VCC (1 3 4) と差動入力段 2 (1 0 2) との間に設置され、位相反転回路 2 (1 0 6) と Pチャネル FETM1 (1 0 8) のゲート電極と位相反転回路 1 (1 0 5) のそれぞれに接続する電流源回路 2 (1 0 4) と、

高電位電源線 VCC (1 3 1) と低電位電源線 VSS (1 3 3) との間に設置され、Pチャネル FETM1 (1 0 8) のゲート電極と駆動段回路 (1 0 7) と電流源回路 2 (1 0 4) と電流源回路 1 (1 0 3) のそれぞれに接続する位相反転回路 1 (1 0 5) と、

高電位電源線 VCC (134) と低電位電源線 VSS (132) との間に設置され、Nチャネル FETM2 (109) のゲート電極と駆動段回路 (107) と電流源回路 1 (103) と電流源回路 2 (104) のそれぞれに接続する位相反転回路 2 (106) と、

高電位電源線 VCC (131) と低電位電源線 VSS (132) との間に設置され、差動入力段 1 (101) と差動入力段 2 (102) と Pチャネル FETM1 (108) のゲート電極と位相反転回路 1 (105) と電流源回路 2 (104) と Nチャネル FETM2 (109) のゲート電極と位相反転回路 2 (106) と電流源回路 1 (103) のそれぞれに接続する駆動段回路 (107) とを備える。

#### 【0024】

さらに、本発明の第 1 の実施の形態に係る演算増幅器は、ドレイン電極を出力端子 (110) と Nチャネル FETM2 (109) のドレイン電極に接続し、ゲート電極を駆動段回路 (107) と位相反転回路 1 (105) と電流源回路 2 (104) に接続し、ソース電極を電源に接続する Pチャネル FETM1 (108) と、

ドレイン電極を、出力端子 (110) と Pチャネル FETM1 (108) のドレイン電極に接続し、ゲート電極を駆動段回路 (107) と位相反転回路 2 (106) と電流源回路 1 (103) に接続し、ソース電極をグランドに接続する Nチャネル FETM2 (109) と、

Pチャネル FETM1 (108) のドレイン電極と Nチャネル FETM2 (109) のドレイン電極と接続し、さらに差動入力段 1 (101) と差動入力段 2 (102) に接続する出力端子 (110) とを備える。

#### 【0025】

また、差動入力段 1 (101) は、公知技術の差動トランジスタ対と、公知技術のカレントミラー回路とを具備し、差動入力段 2 (102) は、公知技術の差動トランジスタ対と、公知技術の負荷回路とを具備する構成である。

#### 【0026】

すなわち、差動入力段 1 (101) は、差動入力端子 (IN11) にゲート電

極を接続し、差動入力端子 (IN12) にゲート電極を接続した第1の差動トランジスタ対 (MM5、MM6) と、第1の差動トランジスタ対 (MM5、MM6) の負側の出力端子と高電位電源線 VCC (131) との間に接続された第1の電流ミラー回路 (MM1、MM2) と、第1の差動トランジスタ対 (MM5、MM6) の負側の出力端子と高電位電源線 VCC (131) との間に接続された第2の電流ミラー回路 (MM3、MM4) とから構成される。

#### 【0027】

また、差動入力段2 (101) は、差動入力端子 (IN13) にゲート電極を接続し、差動入力端子 (IN14) にゲート電極を接続した第2の差動トランジスタ対 (MM7、MM8) と、第2の差動トランジスタ対 (MM7、MM8) と低電位電源線 VSS (132) との間に接続された負荷回路 (MM9、MM10) とから構成される。

#### 【0028】

次に、本発明の第1の実施の形態に係る演算増幅器の動作を説明する。

#### 【0029】

差動入力段1 (101)、差動入力段2 (102) に入力信号が入力されると、演算増幅器の出力端子 (110) は入力信号に追従しようとする。その際にPチャネルFETM1 (108)、NチャネルFETM2 (109) のゲート電極は上昇または下降し、電流源回路1 (103) にはNチャネルFETM2 (109) のゲート電極とPチャネルFETM1のゲート電極を位相反転回路1 (105) によって位相反転された信号が入力される。

#### 【0030】

また、電流源回路2 (104) には、PチャネルFETM1 (108) のゲート電極とNチャネルFETM2のゲート電極を位相反転回路2 (106) によって位相反転された信号が入力される。つまり、電流源回路1 (101)、電流源回路2 (102) の入力には、位相の違う信号が入力されている。この位相の違う信号は、入力信号が変化したときのみ変化し、差動入力段1 (101) および差動入力段2 (102) の電流値を増加させる。

#### 【0031】



上記手段を用いれば、入力電圧によって差動入力段 1 (1 0 1)、差動入力段 2 (1 0 2) のどちらかがオフしたとしても、それぞれの差動入力段の電流源回路には、逆相の信号が入力されているために、スルーレートがフルレンジで向上する。また、入力信号の変化のみで電流値を増加させるために電流値の増加量はほとんど無い。

#### 【0 0 3 2】

図 2 は、本発明の第 2 の実施の形態に係る演算増幅器の構成を示した図である。

#### 【0 0 3 3】

回路構成は、本発明の第 1 の実施の形態に係る演算増幅器 (図 1 参照) の回路の極性を逆にし点であり、本発明の第 1 の実施の形態に係る演算増幅器の回路構成からの変更点は、P チャネル F E T を N チャネル F E T に、N チャネル F E T を P チャネル F E T に置き換えた点である。

#### 【0 0 3 4】

本発明の第 2 の実施の形態に係る演算増幅器の動作は、回路の極性が逆とされただけであり、実質的に第 1 の実施の形態と同様となる。このため、動作の説明は省略する。

#### 【0 0 3 5】

図 3 は、本発明の第 3 の実施の形態に係る演算増幅器の構成を示した図である。

#### 【0 0 3 6】

本発明の第 3 の実施の形態に係る演算増幅器の回路構成は、電流源回路 1 (3 0 3)、電流源回路 2 (3 0 4) とグランド・電源間にそれぞれ並列に定電流源 1 (3 1 1)、定電流源 2 (3 1 2) を接続した以外は、本発明の第 1 の実施の形態に係る演算増幅器の回路構成と同じである。

#### 【0 0 3 7】

本発明の第 3 の実施の形態に係る演算増幅器の動作は、入力信号により電流値を変化させる電流源回路 1 (3 0 3)、電流源回路 2 (3 0 4) に安定した電流値を供給する定電流源 1 (3 1 1)、定電流源 2 (3 1 2) を追加し、入力段の

安定性を増加させただけであり、実質的に、第 1 の実施の形態と同様となる。このため、動作の説明は省略する。

#### 【0 0 3 8】

図 4 は、本発明の第 4 の実施の形態に係る演算増幅器の構成を示した図である。

#### 【0 0 3 9】

本発明の第 4 の実施の形態に係る演算増幅器は、本発明の第 3 の実施の形態に係る演算増幅器の回路の極性を逆にし点であり、図 3 の回路構成からの変更点は P チャネル F E T を N チャネル F E T に、N チャネル F E T を P チャネル F E T に置き換え、これに伴い定電流源 1 ( 4 1 1 )、定電流源 2 ( 4 1 2 ) を第 3 の実施の形態と逆極性にした点である。

#### 【0 0 4 0】

本発明の第 4 の実施の形態に係る演算増幅器の動作は、回路の極性が逆とされただけであり、実質的に、第 3 の実施の形態と同様となる。このため、動作の説明は省略する。

#### 【0 0 4 1】

図 5 は本発明の第 5 の実施の形態に係る演算増幅器の構成を示した図である。

#### 【0 0 4 2】

本発明の第 5 の実施の形態に係る演算増幅器の回路構成は、差動入力信号を差動入力端子 ( I N 5 1 ) および差動入力端子 ( I N 5 2 ) に受け、高電位電源線 V C C ( 5 3 1 ) と低電位電源線 V S S ( 5 3 3 ) との間に設置される差動入力段 1 ( 5 0 1 ) と、

差動入力信号を差動入力端子 ( I N 5 3 ) および差動入力端子 ( I N 5 4 ) に受け、高電位電源線 V C C ( 5 3 4 ) と低電位電源線 V S S ( 5 3 2 ) との間に設置される差動入力段 2 ( 5 0 2 ) と、

高電位電源線 V C C ( 5 3 1 ) と低電位電源線 V S S ( 5 3 3 ) との間に設置され、P チャネル F E T M 1 ( 5 0 7 ) のゲート電極と駆動段回路 ( 5 0 5 ) と P チャネル F E T M 6 ( 5 1 2 ) と N チャネル F E T M 3 ( 5 0 9 ) のゲート電極にそれぞれに接続する位相反転回路 1 ( 5 0 3 ) と、

高電位電源線VCC (534) と低電位電源線VSS (532) との間に設置され、NチャネルFETM2 (508) のゲート電極と駆動段回路 (505) とNチャネルFETM4 (510) とPチャネルFETM5 (511) のゲート電極にそれぞれに接続する位相反転回路2 (504) と、

PチャネルFETM1 (507) のゲート電極と位相反転回路1 (503) とPチャネルFETM6 (512) のゲート電極とNチャネルFETM2 (508) のゲート電極と位相反転回路2 (504) とNチャネルFETM4 (510) のゲート電極と差動入力段1 (501) と差動入力段2 (502) に接続する駆動段回路 (505) と、

ドレイン電極を出力端子 (506) とNチャネルFETM2 (508) のドレイン電極に接続し、ゲート電極を駆動段回路 (505) と位相反転回路1 (503) とPチャネルFETM6 (512) のゲート電極に接続し、ソース電極を電源に接続するPチャネルFETM1 (507) と、

ドレイン電極を出力端子 (506) とPチャネルFETM1 (507) のドレイン電極に接続し、ゲート電極を駆動段回路 (505) とNチャネルFETM4 (510) のゲート電極と位相反転回路2 (504) に接続し、ソース電極をグランドに接続するNチャネルFETM2 (508) と、

ドレイン電極を差動入力端子1 (501) に接続し、ゲート電極を位相反転回路1 (503) に接続し、ソース電極をグランドに接続するNチャネルFETM3 (509) と、

ドレイン電極を差動入力段1 (501) に接続し、ゲート電極をNチャネルFETM2 のゲート電極と駆動段回路 (505) と位相反転回路2 (504) に接続し、ソース電極をグランドに接続するNチャネルFETM4 (510) と、

ドレイン電極を差動入力段2 (502) に接続し、ゲート電極を位相反転回路2 (504) に接続し、ソース電極を電源に接続するPチャネルFETM5 (511) と、

ドレイン電極を差動入力段2 (502) に接続し、ゲート電極をPチャネルFETM1 (507) のゲート電極と駆動段回路 (505) と位相反転回路1 (503) に接続し、ソース電極を電源に接続するPチャネルFETM6 (512)

と、

PチャネルFETM1 (507) のドレイン電極とNチャネルFETM2 (508) のドレイン電極と接続し、さらに差動入力段1 (501) と差動入力段2 (502) に接続する出力端子 (506) とから構成される。

#### 【0043】

また、差動入力段1 (501) は、公知技術の差動トランジスタ対と、公知技術のカレントミラー回路とを具備し、差動入力段2 (502) は、公知技術の差動トランジスタ対と、公知技術の負荷回路とを具備する構成であり、その回路構成は、本発明の第1の実施の形態に係る演算増幅器の構成と同一である。

#### 【0044】

次に、本発明の第5の実施の形態に係る演算増幅器の動作を説明すると、差動入力段1 (501)、差動入力段2 (502) に入力信号が入力されると、演算増幅器の出力端子 (506) は入力信号に追従しようとする。

#### 【0045】

例えば、上昇の信号が入力された場合、PチャネルFETM1 (507)、NチャネルFETM2 (508) のゲート電極は下降する。NチャネルFETM3 (509) のゲート電極には、PチャネルFETM1 (507) のゲート電極を位相反転回路1 (503) によって位相反転された信号、つまり、上昇の信号が入力される。NチャネルFETM4 (510) のゲート電極には、NチャネルFETM2 (508) のゲート電極が入力されるため下降の信号が入力される。PチャネルFETM5 (511) のゲート電極には、NチャネルFETM2 (508) のゲート電極を位相反転回路2 (504) によって位相反転された信号、つまり、上昇の信号が入力される。PチャネルFETM6 (512) のゲート電極にはPチャネルFETM1 (507) のゲート電極が入力されるため下降の信号が入力される。入力信号に下降の信号が入力された場合は、上昇時の逆位相の信号がそれぞれのゲート電極に入力される。

#### 【0046】

上記手段を用いれば、NチャネルFETM3 (509)、NチャネルFETM4 (510) はNチャネルFETであり、それぞれに逆相の信号が入るために、

入力信号の変化点で差動入力段 1 (5 0 1) に大電流を流すことが出来る。

【0 0 4 7】

また、PチャネルFETM5 (5 1 1)、PチャネルFETM6 (5 1 2) は PチャネルFETであり、それぞれに逆相の信号が入るために、入力信号の変化点で差動入力段 2 (5 0 2) に大電流を流すことが出来る。

【0 0 4 8】

つまり、入力信号の変化点で差動入力段 1 (5 0 1) と差動入力段 2 (5 0 2) の両方に大電流を流すことが出来るために、入力信号の電圧により差動入力段 1 (5 0 1)、差動入力段 2 (5 0 2) のどちらかがオフ状態になっても差動入力段全体に大電流を流すことができ、フルレンジで高スルーレートを得ることが出来る。また、入力信号の変化のみで電流値を増加させるために電流値の増加量はほとんど無い。

【0 0 4 9】

図 6 は本発明の第 6 の実施の形態に係る演算増幅器の構成を示した図である。

【0 0 5 0】

本発明の第 6 の実施の形態に係る演算増幅器の回路構成は、図 5 に示す本発明の第 5 の実施の形態に係る演算増幅器の回路の極性を逆にした点であり、図 5 の本発明の第 5 の実施の形態に係る演算増幅器の回路構成からの変更点は、PチャネルFETをNチャネルFETに、NチャネルFETをPチャネルFETに置き換えた点である。

【0 0 5 1】

本発明の第 6 の実施の形態に係る演算増幅器の動作は、回路の極性が逆とされただけであり、実質的に第 5 の実施の形態と同様となる。このため、動作の説明は省略する。

【0 0 5 2】

図 7 は本発明の第 7 の実施の形態に係る演算増幅器の構成を示した図である。

【0 0 5 3】

本発明の第 7 の実施の形態に係る演算増幅器の回路構成として、入力信号が入力される差動入力段 1 (7 0 1)、差動入力段 2 (7 0 2) と、

NチャネルFETM3 (709) のゲート電極とPチャネルFETM1 (707) のゲート電極と駆動段回路 (705) とPチャネルFETM7 (713) に接続する位相反転回路1 (703) と、

PチャネルFETM6 (712) のゲート電極とNチャネルFETM2 (708) のゲート電極と駆動段回路 (705) とNチャネルFETM5 (711) に接続する位相反転回路2 (704) と、

PチャネルFETM1 (707) のゲート電極と位相反転回路1 (703) とPチャネルFETM7 (713) とNチャネルFETM2 (708) のゲート電極と位相反転回路2 (704) とNチャネルFETM5 (711) のゲート電極と差動入力段1 (701) と差動入力段2 (702) に接続する駆動段回路 (705) と、

ドレイン電極を出力端子 (706) とNチャネルFETM2 (708) のドレイン電極とNチャネルFETM4 (710) のゲート電極とPチャネルFETM8 (714) のゲート電極に接続し、ゲート電極を駆動段回路 (705) と位相反転回路1 (703) とPチャネルFETM7 (713) のゲート電極に接続し、ソース電極を電源に接続するPチャネルFETM1 (707) と、

ドレイン電極を出力端子 (706) とPチャネルFETM1 (707) のドレイン電極とNチャネルFETM4 (710) のゲート電極とPチャネルFETM8 (714) のゲート電極に接続し、ゲート電極を駆動段回路 (705) と位相反転回路2 (704) とNチャネルFETM5 (711) のゲート電極に接続し、ソース電極をグランドに接続するNチャネルFETM2 (708) と、

ドレイン電極を差動入力段1 (701) に接続し、ゲート電極を位相反転回路1 (703) に接続し、ソース電極をグランドに接続するNチャネルFETM3 (709) と、

ドレイン電極を差動入力段1 (701) に接続し、ゲート電極を出力端子 (706) とPチャネルFETM8 (714) のゲート電極とPチャネルFETM1 (707) のドレイン電極とNチャネルFETM2 (708) に接続し、ソース電極をNチャネルFETM5 (711) のドレイン電極に接続するNチャネルFETM4 (710) と、

ドレイン電極にNチャネルFETM4 (710) のソース電極を接続し、ゲート電極をNチャネルFETM2 (708) のゲート電極と駆動段回路 (705) と位相反転回路2 (704) に接続し、ソース電極をグランドに接続するNチャネルFETM5 (711) と、

ドレイン電極を差動入力段2 (702) に接続し、ゲート電極を位相反転回路2 (704) に接続し、ソース電極を電源に接続するPチャネルFETM6 (712) と、

ドレイン電極をPチャネルFETM8 (714) のソース電極に接続し、ゲート電極をPチャネルFETM1 (707) のゲート電極と駆動段回路 (705) と位相反転回路1 (703) に接続し、ソース電極を電源に接続するPチャネルFETM7 (713) と、

ドレイン電極を差動入力段2 (702) と接続し、ゲート電極を出力端子 (706) とNチャネルFETM4 (710) のゲート電極とPチャネルFETM1 (707) のドレイン電極とNチャネルFETM2 (708) のドレイン電極に接続し、ソース電極をPチャネルFETM7 (713) のドレイン電極と接続するPチャネルFETM8 (714) と、

差動入力段1 (701) とグランド間に接続する定電流源1 (715) と、  
電源と差動入力段2 (702) 間に接続する定電流源2 (716) と、

PチャネルFETM1 (707) のドレイン電極とNチャネルFETM2 (708) のドレイン電極とNチャネルFETM4 (710) のゲート電極とPチャネルFETM8 (714) のゲート電極と接続し、さらに差動入力段1 (701) と差動入力段2 (702) に接続する出力端子 (706) とから構成される。

#### 【0054】

また、差動入力段1 (701) は、公知技術の差動トランジスタ対と、公知技術のカレントミラー回路とを具備し、差動入力段2 (702) は、公知技術の差動トランジスタ対と、公知技術の負荷回路とを具備する構成であり、その回路構成は、本発明の第1の実施の形態に係る演算増幅器の構成と同一である。

#### 【0055】

本発明の第7の実施の形態に係る演算増幅器の基本的な動作は、第5の実施の

形態と同様であるが、新規に追加されるNチャネルFETM4 (710)、PチャネルFETM8 (714) と定電流源1 (715)、定電流源2 (716) について説明する。

#### 【0056】

本発明の第7の実施の形態に係る演算増幅器のNチャネルFETM4 (710) およびNチャネルFETM5 (711) のゲート電極には、逆位相が入力される。そのため、差動入力段1 (701) に貫通電流が流れるのを防ぐように、NチャネルFETM4 (710) は接続される。

#### 【0057】

また、PチャネルFETM7 (713)、PチャネルFETM8 (714) についてもそれぞれのゲート電極に逆位相の信号が入力されるため、差動入力段2 (702) に貫通電流が流れないように、PチャネルFETM8 (714) は接続される。定電流源1 (715)、定電流源2 (716) については、差動入力段1 (701)、差動入力段2 (702) のスタティック電流を決める役割をはたす。

#### 【0058】

上記した手段を用いれば、回路全体の電流値を決めやすく、かつ差動入力段1 (701)、差動入力段2 (702) に貫通電流が流れずにフルレンジで高スループードを得ることができる。

#### 【0059】

図8は本発明の第8の実施の形態に係る演算増幅器の構成を示した図である。

#### 【0060】

本発明の第8の実施の形態に係る演算増幅器の回路構成は、図7の回路の極性を逆にした点であり、図7の回路構成からの変更点はPチャネルFETをNチャネルFETに、NチャネルFETをPチャネルFETに置き換え、これに伴い定電流源1 (815)、定電流源2 (816) を第7の実施の形態と逆極性にした点である。

#### 【0061】

本発明の第8の実施の形態に係る演算増幅器の動作は、回路の極性が逆とされ



ただけであり、実質的に、第 7 の実施の形態と同様となる。このため、動作の説明は省略する。

### 【0 0 6 2】

図 9 は本発明の第 9 の実施の形態に係る演算増幅器の構成を示した図である。

### 【0 0 6 3】

本発明の第 9 の実施の形態に係る演算増幅器の回路構成として、入力信号が入力される差動入力段 1 (9 0 1)、差動入力段 2 (9 0 2) と、

P チャネル FET M1 (9 0 5) のゲート電極と P チャネル FET M6 (9 1 0) のゲート電極と P チャネル FET M9 (9 1 3) のゲート電極と N チャネル FET M2 (9 0 6) のゲート電極と N チャネル FET M5 (9 0 9) のゲート電極と N チャネル FET M12 (9 1 6) のゲート電極と差動入力段 1 (9 0 1) と差動入力段 2 (9 0 2) に接続する駆動段回路 (9 0 3) と、

P チャネル FET M1 (9 0 5) のドレイン電極と N チャネル FET M2 (9 0 6) のドレイン電極と N チャネル FET M4 (9 0 8) のゲート電極と P チャネル FET M10 (9 1 4) のゲート電極に接続し、さらに差動入力段 1 (9 0 1) と差動入力段 2 (9 0 2) に接続する出力端子 (9 0 4) と、

ドレイン電極を出力端子 (9 0 4) と N チャネル FET M2 (9 0 6) のドレイン電極と N チャネル FET M4 (9 0 8) のゲート電極と P チャネル FET M10 (9 1 4) のゲート電極に接続し、ゲート電極を駆動段回路 (9 0 3) と P チャネル FET M6 (9 1 0) のゲート電極と P チャネル FET M9 (9 1 3) のゲート電極に接続し、ソース電極を電源に接続する P チャネル FET M1 (9 0 5) と、

ドレイン電極を出力端子 (9 0 4) と P チャネル FET M1 (9 0 5) のドレイン電極と N チャネル FET M4 (9 0 8) のゲート電極と P チャネル FET M10 (9 1 4) のゲート電極に接続し、ゲート電極を駆動段回路 (9 0 3) と N チャネル FET M5 (9 0 9) のゲート電極と N チャネル FET M12 (9 1 6) のゲート電極に接続し、ソース電極をグランドに接続する N チャネル FET M2 (9 0 6) と、

ドレイン電極を差動入力段 1 (9 0 1) に接続し、ゲート電極を N チャネル F

ETM7 (911) のゲート電極とNチャネルFETM7 (911) のドレイン電極とPチャネルFETM6 (910) のドレイン電極に接続し、ソース電極をグラウンドに接続するNチャネルFETM3 (907) と、

ドレイン電極を差動入力段1 (901) に接続し、ゲート電極を出力端子 (904) とPチャネルFETM10 (914) のゲート電極とPチャネルFETM1 (905) のドレイン電極とNチャネルFETM2 (906) のドレイン電極に接続し、ソース電極をNチャネルFETM5 (909) のドレイン電極に接続するNチャネルFETM4 (908) と、

ドレイン電極にNチャネルFETM4 (908) のソース電極を接続し、ゲート電極をNチャネルFETM2 (906) のゲート電極と駆動段回路 (903) とNチャネルFETM12 (916) のゲート電極に接続し、ソース電極をグラウンドに接続するNチャネルFETM5 (909) と、

ドレイン電極をNチャネルFETM7 (911) のゲート電極とNチャネルFETM7 (911) のドレイン電極とNチャネルFETM3 (907) に接続し、ゲート電極をPチャネルFETM1 (905) のゲート電極と駆動段回路 (903) とPチャネルFETM9 (913) のゲート電極に接続し、ソース電極を電源に接続するPチャネルFETM6 (910) と、

ドレイン電極とゲート電極をPチャネルFETM6 (910) のドレイン電極とNチャネルFETM3 (907) のゲート電極に接続し、ソース電極をグラウンドに接続するNチャネルFETM7 (911) と、

ドレイン電極を差動入力段2 (902) に接続し、ゲート電極をPチャネルFETM11 (915) のゲート電極とPチャネルFETM11 (915) のドレイン電極とNチャネルFETM12 (916) のドレイン電極に接続し、ソース電極を電源に接続するPチャネルFETM8 (912) と、

ドレイン電極をPチャネルFETM10 (914) のソース電極と接続し、ゲート電極をPチャネルFETM1 (905) のゲート電極と駆動段回路 (903) とPチャネルFETM6 (910) のゲート電極に接続し、ソース電極を電源に接続するPチャネルFETM9 (913) と、

ドレイン電極を差動入力段2 (902) と接続し、ゲート電極を出力端子 (9

04) と N チャンネル FETM4 (908) のゲート電極と P チャンネル FETM1 (905) のドレイン電極と N チャンネル FETM2 (906) のドレイン電極に接続し、ソース電極を P チャンネル FETM9 (913) のドレイン電極と接続する P チャンネル FETM10 (914) と、

差動入力段 1 (901) とグランド間に接続する定電流源 1 (917) と、  
電源と差動入力段 2 (902) 間に接続する定電流源 2 (918) とから構成される。

#### 【0064】

また、差動入力段 1 (901) は、公知技術の差動トランジスタ対と、公知技術のカレントミラー回路とを具備し、差動入力段 2 (902) は、公知技術の差動トランジスタ対と、公知技術の負荷回路とを具備する構成であり、その回路構成は、本発明の第 1 の実施の形態に係る演算増幅器の構成と同一である。

#### 【0065】

次に、本発明の第 9 の実施の形態に係る演算増幅器の動作を説明する。

#### 【0066】

本発明の第 9 の実施の形態に係る演算増幅器は、差動入力段 1 (901) および差動入力段 2 (902) のそれぞれに上昇の信号が入力された場合には、差動入力段 1 (901) および差動入力段 2 (902) は、下降の信号を駆動段回路 (903) に伝達する。駆動段回路 (903) に入力された信号は、P チャンネル FETM1 (905)、N チャンネル FETM2 (906) のそれぞれのゲート電極にレベルシフトされた下降の信号で伝達される。

#### 【0067】

そのときには、P チャンネル FETM6 (910)、N チャンネル FETM12 (916) のゲート電極には下降の信号が入力されるため、N チャンネル FETM7 (911)、P チャンネル FETM11 (915) のドレイン電極とゲート電極は上昇する。

#### 【0068】

各ゲート電極は、N チャンネル FETM3 (907) のゲート電極は上昇し、N チャンネル FETM4 (908) のゲート電極は上昇し、N チャンネル FETM5 (

9 0 9) のゲート電極は下降し、PチャネルFETM8 (9 1 2) のゲート電極は上昇し、PチャネルFETM9 (9 1 3) のゲート電極は下降し、PチャネルFETM10 (9 1 4) のゲート電極は上昇する。

#### 【0 0 6 9】

つまり、差動入力段1 (9 0 1) の電流値を決定するNチャネルFETM3 (9 0 7)、NチャネルFETM5 (9 0 9) のゲート電極には、逆相の信号が入力されるため、入力に変化すれば、必ず、差動入力段1 (9 0 1) に大電流が流れる。また、差動入力段2 (9 0 2) の電流値を決定するPチャネルFETM8 (9 1 2)、PチャネルFETM9 (9 1 3) のゲート電極には、逆相の信号が入力されるため、入力に変化すれば、必ず差動入力段2 (9 0 2) に大電流が流れる。

#### 【0 0 7 0】

反対に、差動入力段1 (9 0 1)、差動入力段2 (9 0 2) に下降の信号が入力された場合は、各ゲート電極の上昇下降の向きが逆になるだけであるため、その説明は省略する。

#### 【0 0 7 1】

上記した手段を用いれば、信号が変化すれば、必ず差動入力段1 (9 0 1)、差動入力段2 (9 0 2) の両方に大電流が流れるため、フルレンジで高スlewレートを得ることができる。また、電流値増加は、信号が変化した一瞬だけであるので、低消費電力化にも効果的である。

#### 【0 0 7 2】

図10は本発明の第10の実施の形態に係る演算増幅器の構成を示した図である。

#### 【0 0 7 3】

回路構成は図9の回路の極性を逆にした点であり、図9の回路構成からの変更点はPチャネルFETをNチャネルFETに、NチャネルFETをPチャネルFETに置き換え、これに伴い定電流源1 (1 0 1 7)、定電流源2 (1 0 1 8) を第9の実施の形態と逆極性にした点である。

#### 【0 0 7 4】

本発明の第10の実施の形態に係る演算増幅器の動作は、回路の極性が逆とされただけであり、実質的に、第9の実施の形態と同様となる。このため、動作の説明は省略する。

#### 【0075】

図11は、本発明の第11の実施の形態に係る演算増幅器の構成を示した図である。

#### 【0076】

本発明の第11の実施の形態に係る演算増幅器の回路構成として、入力信号が入力される差動入力段1(1101)、差動入力段2(1102)と、

PチャンネルFETM1(1105)のゲート電極とPチャンネルFETM6(1110)のゲート電極とPチャンネルFETM10(1114)のゲート電極とNチャンネルFETM2(1106)のゲート電極とNチャンネルFETM14(1118)のゲート電極とNチャンネルFETM5(1109)のゲート電極と差動入力段1(1101)と差動入力段2(1102)に接続する駆動段回路(1103)と、

PチャンネルFETM1(1105)のドレイン電極とNチャンネルFETM2(1106)のドレイン電極とNチャンネルFETM4(1108)のゲート電極とPチャンネルFETM11(1115)のゲート電極に接続し、さらに差動入力段1(1101)と差動入力段2(1102)に接続する出力端子(1104)と、

ドレイン電極を出力端子(1104)とNチャンネルFETM2(1106)のドレイン電極とNチャンネルFETM4(1108)のゲート電極とPチャンネルFETM11(1115)のゲート電極に接続し、ゲート電極を駆動段回路(1103)とPチャンネルFETM6(1110)のゲート電極とPチャンネルFETM10(1114)のゲート電極に接続し、ソース電極を電源に接続するPチャンネルFETM1(1105)と、

ドレイン電極を出力端子(1104)とPチャンネルFETM1(1105)のドレイン電極とNチャンネルFETM4(1108)のゲート電極とPチャンネルFETM11(1115)のゲート電極に接続し、ゲート電極を駆動段回路(11

03) と N チャンネル FETM5 (1109) のゲート電極と N チャンネル FETM14 (1118) のゲート電極に接続し、ソース電極をグランドに接続する N チャンネル FETM2 (1106) と、

ドレイン電極を差動入力段 1 (1101) に接続し、ゲート電極を N チャンネル FETM8 (1112) のゲート電極と N チャンネル FETM8 (1112) のドレイン電極と P チャンネル FETM7 (1111) のドレイン電極に接続し、ソース電極をグランドに接続する N チャンネル FETM3 (1107) と、

ドレイン電極を差動入力段 1 (1101) に接続し、ゲート電極を出力端子 (1104) と P チャンネル FETM11 (1115) のゲート電極と P チャンネル FETM1 (1105) のドレイン電極と N チャンネル FETM2 (1106) のドレイン電極に接続し、ソース電極を N チャンネル FETM5 (1109) のドレイン電極に接続する N チャンネル FETM4 (1108) と、

ドレイン電極を N チャンネル FETM4 (1108) のソース電極を接続し、ゲート電極を N チャンネル FETM2 (1106) のゲート電極と駆動段回路 (1103) と N チャンネル FETM14 (1118) のゲート電極に接続し、ソース電極をグランドに接続する N チャンネル FETM5 (1109) と、

ドレイン電極を P チャンネル FETM7 (1111) のソース電極に接続し、ゲート電極を P チャンネル FETM1 (1105) のゲート電極と駆動段回路 (1103) と P チャンネル FETM10 (1114) のゲート電極に接続し、ソース電極を電源に接続する P チャンネル FETM6 (1110) と、

ドレイン電極を N チャンネル FETM8 (1112) のゲート電極と N チャンネル FETM8 (1112) のドレイン電極と N チャンネル FETM3 (1107) のゲート電極に接続し、ゲート電極を所定の電圧 1 (1121) に接続し、ソース電極を P チャンネル FETM6 (1110) のドレイン電極に接続する P チャンネル FETM7 (1111) と、

ドレイン電極とゲート電極を P チャンネル FETM7 (1111) のドレイン電極と N チャンネル FETM3 (1107) のゲート電極に接続し、ソース電極をグランドに接続する N チャンネル FETM8 (1112) と、

ドレイン電極を差動入力段 2 (1102) に接続し、ゲート電極を P チャンネル

FETM12 (1116) のゲート電極と P チャンネル FETM12 (1116) のドレイン電極と N チャンネル FETM13 (1117) のドレイン電極に接続し、ソース電極を電源に接続する P チャンネル FETM9 (1113) と、

ドレイン電極を N チャンネル FETM11 (1115) のソース電極と接続し、ゲート電極を P チャンネル FETM1 (1105) のゲート電極と駆動段回路 (1103) と P チャンネル FETM6 (1110) のゲート電極に接続し、ソース電極を電源に接続する P チャンネル FETM10 (1114) と、

ドレイン電極を差動入力段 2 (1102) と接続し、ゲート電極を出力端子 (1104) と N チャンネル FETM4 (1108) のゲート電極と P チャンネル FETM1 (1105) のドレイン電極と N チャンネル FETM2 (1106) のドレイン電極に接続し、ソース電極を P チャンネル FETM10 (1114) のドレイン電極と接続する P チャンネル FETM 11 (1115) と、

ドレイン電極とゲート電極を P チャンネル FETM9 (1113) のゲート電極と N チャンネル FETM13 (1117) のドレイン電極に接続し、ソース電極を電源に接続する P チャンネル FETM12 (1116) と、

ドレイン電極を P チャンネル FETM12 (1116) のドレイン電極と P チャンネル FETM12 (1116) のゲート電極と P チャンネル FETM9 (1113) のゲート電極に接続し、ゲート電極を所定の電圧 2 (1122) と接続し、ソース電極を N チャンネル FETM14 (1118) のドレイン電極に接続する N チャンネル FETM13 (1117) と、

ドレイン電極を N チャンネル FETM13 (1117) のソース電極と接続し、ゲート電極を N チャンネル FETM2 (1106) のゲート電極と駆動段回路 (1103) と N チャンネル FETM5 (1109) のゲート電極に接続し、ソース電極をグラウンドに接続する N チャンネル FETM14 (1118) と、

差動入力段 1 (1101) とグラウンド間に接続する定電流源 1 (1119) と、

電源と差動入力段 2 (1102) 間に接続する定電流源 2 (1120) から構成される。

【0077】

また、差動入力段 1 (1101) は、公知技術の差動トランジスタ対と、公知技術のカレントミラー回路とを具備し、差動入力段 2 (1102) は、公知技術の差動トランジスタ対と、公知技術の負荷回路とを具備する構成であり、その回路構成は、本発明の第 1 の実施の形態に係る演算増幅器の構成と同一である。

#### 【0078】

次に、本発明の第 11 の実施の形態に係る演算増幅器の基本的な動作は、第 9 の実施の形態と同じであるが、新規に追加する P チャネル FETM7 (1111)、N チャネル FETM13 (1117) について説明する。

#### 【0079】

本発明の第 11 の実施の形態に係る演算増幅器の P チャネル FETM7 (1111) は、P チャネル FETM6 (1110) のゲート電極に下降の信号が入力された場合、P チャネル FETM6 (1110) に貫通電流が流れる。そこで、P チャネル FETM7 (1111) のゲート電極を所定の電圧 1 (1121) に接続していれば、その貫通電流を抑えることができる。

#### 【0080】

反対に、N チャネル FETM14 (1118) のゲート電極に上昇の信号が入力された場合は、N チャネル FETM14 (1118) に貫通電流が流れる。そこで、N チャネル FETM13 (1117) のゲート電極を所定の電圧 2 (1122) に接続すれば、その貫通電流を抑えることができる。

#### 【0081】

上記した手段を用いれば、差動入力段 1 (1101) と差動入力段 2 (1102) に貫通電流が流れるのを防ぐことができる。

#### 【0082】

図 12 は本発明の第 12 の実施の形態に係る演算増幅器の構成を示した図である。

#### 【0083】

本発明の第 12 の実施の形態に係る演算増幅器の回路構成は、図 11 に示す本発明の第 11 の実施の形態に係る演算増幅器の回路の極性を逆にした点であり、図 11 の回路構成からの変更点は、P チャネル FET を N チャネル FET に、N



チャンネルFETをPチャンネルFETに置き換え、これに伴い、定電流源1（1219）、定電流源2（1220）を第11の実施の形態と逆極性にした点である。

#### 【0084】

本発明の第12の実施の形態に係る演算増幅器の動作は、回路の極性が逆とされただけであり、実質的に、第11の実施の形態と同様となる。このため、動作の説明は省略する。

#### 【0085】

図13は、本発明の第13の実施の形態に係る演算増幅器の構成を示した図である。

#### 【0086】

本発明の第13の実施の形態に係る演算増幅器の回路構成として、入力信号が入力される差動入力段1（1301）、差動入力段2（1302）と、

PチャンネルFETM1（1304）のドレイン電極とNチャンネルFETM2（1305）のドレイン電極とNチャンネルFETM4（1307）のゲート電極とPチャンネルFETM10（1313）のゲート電極に接続し、さらに差動入力段1（1301）と差動入力段2（1302）に接続する出力端子（1303）と

ドレイン電極を、出力端子（1303）とNチャンネルFETM2（1305）のドレイン電極とNチャンネルFETM4（1307）のゲート電極とPチャンネルFETM10（1313）のゲート電極とに接続し、ゲート電極をPチャンネルFETM16（1319）のドレイン電極とPチャンネルFETM6（1309）のゲート電極とPチャンネルFETM9（1312）のゲート電極と定電流源5（1325）に接続し、ソース電極を電源に接続するPチャンネルFETM1（1304）と、

ドレイン電極を、出力端子（1303）とPチャンネルFETM1（1304）のドレイン電極とNチャンネルFETM4（1307）のゲート電極とPチャンネルFETM10（1313）のゲート電極に接続し、ゲート電極をNチャンネルFETM17（1320）のゲート電極とNチャンネルFETM17（1320）のド

レイン電極とPチャンネルFETM15(1318)のドレイン電極とNチャンネルFETM5(1308)のゲート電極とNチャンネルFETM12(1315)のゲート電極に接続し、ソース電極をグランドに接続するNチャンネルFETM2(1305)と、

ドレイン電極を差動入力段1(1301)に接続し、ゲート電極をNチャンネルFETM7(1310)のゲート電極とNチャンネルFETM7(1310)のドレイン電極とPチャンネルFETM6(1309)のドレイン電極に接続し、ソース電極をグランドに接続するNチャンネルFETM3(1306)と、

ドレイン電極を差動入力段1(1301)に接続し、ゲート電極を出力端子(1303)とPチャンネルFETM10(1313)のゲート電極とPチャンネルFETM1(1304)のドレイン電極とNチャンネルFETM2(1305)のドレイン電極に接続し、ソース電極をNチャンネルFETM5(1308)のドレイン電極に接続するNチャンネルFETM4(1307)と、

ドレイン電極をNチャンネルFETM4(1307)のソース電極に接続し、ゲート電極をNチャンネルFETM2(1305)のゲート電極とNチャンネルFETM17(1320)のゲート電極とNチャンネルFETM17(1320)のドレイン電極とPチャンネルFETM15(1318)のドレイン電極とNチャンネルFETM12(1315)のゲート電極に接続し、ソース電極をグランドに接続するNチャンネルFETM5(1308)と、

ドレイン電極をNチャンネルFETM7(1310)のドレイン電極とNチャンネルFETM7(1310)のゲート電極とNチャンネルFETM3(1306)のゲート電極に接続し、ゲート電極をPチャンネルFETM1(1304)のゲート電極と定電流源5(1325)とPチャンネルFETM16(1319)のドレイン電極とPチャンネルFETM9(1312)のゲート電極に接続し、ソース電極を電源に接続するPチャンネルFETM6(1309)と、

ドレイン電極とゲート電極をPチャンネルFETM6(1309)のドレイン電極とNチャンネルFETM3(1306)のゲート電極に接続し、ソース電極をグランドに接続するNチャンネルFETM7(1310)と、

ドレイン電極を差動入力段2(1302)と接続し、ゲート電極をPチャンネル

FETM11 (1314) のドレイン電極と P チャンネル FETM11 (1314) のゲート電極と N チャンネル FETM12 (1315) のドレイン電極に接続し、ソース電極を電源に接続する P チャンネル FETM8 (1311) と、

ドレイン電極を P チャンネル FETM10 (1313) のソース電極に接続し、ゲート電極を P チャンネル FETM1 (1304) のゲート電極と定電流源 5 (1325) と P チャンネル FETM16 (1319) のドレイン電極と P チャンネル FETM6 (1309) のゲート電極に接続し、ソース電極を電源に接続する P チャンネル FETM9 (1312) と、

ドレイン電極を差動入力段 2 (1302) に接続し、ゲート電極を出力端子 (1303) と N チャンネル FETM4 (1307) のゲート電極と P チャンネル FETM1 (1304) のドレイン電極と N チャンネル FETM2 (1305) のドレイン電極に接続し、ソース電極を P チャンネル FETM9 (1312) のドレイン電極に接続する P チャンネル FETM10 (1313) と、

ドレイン電極とゲート電極を P チャンネル FETM8 (1311) のゲート電極と N チャンネル FETM12 (1315) のドレイン電極に接続し、ソース電極を電源と接続する P チャンネル FETM11 (1314) と、

ドレイン電極を P チャンネル FETM11 (1314) のドレイン電極と P チャンネル FETM11 (1314) のゲート電極と P チャンネル FETM8 (1311) のゲート電極に接続し、ゲート電極を N チャンネル FETM5 (1308) のゲート電極と P チャンネル FETM15 (1318) のドレイン電極と N チャンネル FETM17 (1320) のドレイン電極と N チャンネル FETM17 (1320) のゲート電極と N チャンネル FETM2 (1305) のゲート電極に接続し、ソース電極をグランドに接続する N チャンネル FETM12 (1315) と、

ドレイン電極を P チャンネル FETM14 (1317) のドレイン電極と P チャンネル FETM14 (1317) のゲート電極と P チャンネル FETM15 (1318) のゲート電極と P チャンネル FETM16 (1319) のゲート電極に接続し、ゲート電極を差動入力段 1 (1301) と差動入力段 2 (1302) に接続し、ソース電極をグランドに接続する N チャンネル FETM13 (1316) と、

ドレイン電極とゲート電極を N チャンネル FETM13 (1316) のドレイン

電極とPチャネルFETM15 (1318) のゲート電極とPチャネルFETM16 (1319) のゲート電極に接続し、ソース電極を定電流源3に接続するPチャネルFETM14 (1317) と、

ドレイン電極をNチャネルFETM17 (1320) のドレイン電極とNチャネルFETM17 (1320) のゲート電極とNチャネルFETM2 (1305) のゲート電極とNチャネルFETM5 (1308) のゲート電極とNチャネルFETM12 (1315) のゲート電極に接続し、ゲート電極をPチャネルFETM16 (1319) のゲート電極とPチャネルFETM14 (1317) のゲート電極とPチャネルFETM14 (1317) のドレイン電極とNチャネルFETM13 (1316) のドレイン電極に接続し、ソース電極を電源に接続するPチャネルFETM15 (1318) と、

ドレイン電極をPチャネルFETM1 (1304) のゲート電極とPチャネルFETM6 (1309) のゲート電極とPチャネルFETM9 (1312) のゲート電極と定電流源5 (1325) に接続し、ゲート電極をPチャネルFETM15 (1318) のゲート電極とPチャネルFETM14 (1317) のゲート電極とPチャネルFETM14 (1317) のドレイン電極とNチャネルFETM13 (1316) のドレイン電極に接続し、ソース電極を電源に接続するPチャネルFETM16 (1319) と、

ドレイン電極とゲート電極をNチャネルFETM2 (1305) のゲート電極とNチャネルFETM5 (1308) のゲート電極とNチャネルFETM12 (1315) のゲート電極とPチャネルFETM15 (1318) のドレイン電極に接続し、ソース電極を定電流源4 (1324) に接続するNチャネルFETM17 (1320) と、

差動入力段1 (1301) とグラウンド (1333) 間に接続する定電流源1 (1321) と、

高電位電源線 (1334) と差動入力段2 (1302) 間に接続する定電流源2 (1322) と、

高電位電源線 (1331) とPチャネルFETM14 (1317) のソース電極に接続する定電流源3 (1323) と、

NチャネルFETM17 (1320) のソース電極とグランド (1332) に接続する定電流源4 (1324) と、

PチャネルFETM16 (1319) のドレイン電極とグランド (1332) に接続する定電流源5 (1325) とから構成される。

#### 【0087】

また、差動入力段1 (1301) は、公知技術の差動トランジスタ対と、公知技術のカレントミラー回路とを具備し、差動入力段2 (1302) は、公知技術の差動トランジスタ対と、公知技術の負荷回路とを具備する構成であり、その回路構成は、本発明の第1の実施の形態に係る演算増幅器の構成と同一である。

#### 【0088】

本発明の第13の実施の形態に係る演算増幅器の基本的な入力段の動作は、第9の実施の形態と同じであるが、駆動段の動作も含め説明する。

#### 【0089】

まず、差動入力段1 (1301) と差動入力段2 (1302) に上昇の信号が入力された場合は、差動入力段の出力であるNチャネルFETM13 (1316) のゲート電極には下降の信号が入力される。

#### 【0090】

そのため、PチャネルFETM14 (1317)、PチャネルFETM15 (1318)、PチャネルFETM16 (1319) のゲート電極には上昇の信号が入力される。そのため、PチャネルFETM1 (1304)、NチャネルFETM2 (1305) のゲート電極は下降し出力端子 (1303) は上昇する。

#### 【0091】

次に、差動入力段の電流値を決めるNチャネルFETM3 (1306)、NチャネルFETM5 (1308)、PチャネルFETM9 (1312)、PチャネルFETM8 (1311) における電流量を考える。

#### 【0092】

まず、差動入力段1 (1301) は、NチャネルFETM3 (1309)、NチャネルFETM5 (1308) が電流量を決める。PチャネルFETM6 (1309) のゲート電極は下降するためPチャネルFETM6 (1309) とNチ

ャネルFETM7（1310）に流れる電流値は増加する。

#### 【0093】

つまり、NチャネルFETM7（1310）とミラー接続されているNチャネルFETM3（1306）の電流値も増加する。NチャネルFETM5（1308）には下降の信号が入力されるため電流値は減少する。一見、NチャネルFETM3（1306）の電流値が増加し、NチャネルFETM5（1308）の電流値が減少するため電流量は変わらないように見えるが、通常NチャネルFETM3（1306）とNチャネルFETM5（1308）のスタティック電流はほとんど流れないように設計され、NチャネルFETM3（1306）の増加量とNチャネルFETM5（1308）の減少量を比べるとNチャネルFETM3（1306）の増加量の方が大きくなる。そのため、差動入力段1（1301）の電流量は増加する。

#### 【0094】

次に、差動入力段2（1302）は、PチャネルFETM8（1311）、PチャネルFETM9（1312）が電流量を決める。NチャネルFETM12（1315）のゲートは下降するため、NチャネルFETM12（1315）とPチャネルFETM11（1314）に流れる電流値は減少する。

#### 【0095】

つまり、PチャネルFETM11（1314）とミラー接続されているPチャネルFETM8（1311）の電流値は減少する。一方、PチャネルFETM9（1312）のゲート電極には下降の信号が入力されるため電流値は増加する。一見、PチャネルFETM9（1312）の電流値が増加し、PチャネルFETM8（1311）の電流値が減少するため電流量は変わらないように見えるが、通常PチャネルFETM9（1312）とPチャネルFETM8（1311）のスタティック電流はほとんど流れないように設計され、PチャネルFETM9（1312）の増加量とPチャネルFETM8（1311）の減少量を比べるとPチャネルFETM9（1312）の増加量の方が大きくなる。そのため差動入力段2（1302）の電流量は増加する。

#### 【0096】

上記理由から、差動入力段 1（1 3 0 1）、差動入力段 2（1 3 0 2）の両方の電流値を増加させるため、フルレンジで高スルーレートを得ることができる。電流増加は入力信号の切り替わりだけで消費するため、消費電流値の増加は、ほとんど無い。

#### 【0 0 9 7】

図 1 4 は本発明の第 1 4 の実施の形態に係る演算増幅器の構成を示した図である。

#### 【0 0 9 8】

本発明の第 1 4 の実施の形態に係る演算増幅器の回路構成は、図 1 3 に示す本発明の第 1 3 の実施の形態に係る演算増幅器の回路の極性を逆にした点であり、図 1 3 の回路構成からの変更点は、P チャネル F E T を N チャネル F E T に、N チャネル F E T を P チャネル F E T に置き換え、これに伴い定電流源 1（1 4 2 1）、定電流源 2（1 4 2 2）を第 1 3 の実施の形態と逆極性にした点である。

#### 【0 0 9 9】

本発明の第 1 4 の実施の形態に係る演算増幅器の動作は、回路の極性が逆とされただけであり、実質的に、第 1 3 の実施の形態と同様となる。このため、動作の説明は省略する。

#### 【0 1 0 0】

図 1 5 は本発明の第 1 5 の実施の形態に係る演算増幅器の構成を示した図である。

#### 【0 1 0 1】

本発明の第 1 5 の実施の形態に係る演算増幅器の回路構成として、図 1 3 と相違する点は P チャネル F E T M 6（1 5 0 9）、P チャネル F E T M 1 8（1 5 2 6）、N チャネル F E T M 7（1 5 1 0）、N チャネル F E T M 3（1 5 0 6）、P チャネル F E T M 8（1 5 1 1）、P チャネル F E T M 1 1（1 5 1 4）、N チャネル F E T M 1 9（1 5 2 7）、N チャネル F E T M 1 2（1 5 1 5）の接続である。

#### 【0 1 0 2】

その他の差動入力段 1（1 5 0 1）、差動入力段 2（1 5 0 2）、出力端子（

1503)、PチャネルFETM1 (1504)、NチャネルFETM2 (1505)、NチャネルFETM4 (1507)、NチャネルFETM5 (1508)、PチャネルFETM9 (1512)、PチャネルFETM10 (1513)、NチャネルFETM13 (1516)、PチャネルFETM14 (1517)、PチャネルFETM15 (1518)、PチャネルFETM16 (1519)、NチャネルFETM17 (1520)、定電流源1 (1521)、定電流源2 (1522)、定電流源3 (1523)、定電流源4 (1524)、定電流源5 (1525) は、それぞれ、図13の本発明の第13の実施の形態に係る演算増幅器の差動入力段1 (1301)、差動入力段2 (1302)、出力端子 (1303)、PチャネルFETM1 (1304)、NチャネルFETM2 (1305)、NチャネルFETM4 (1307)、NチャネルFETM5 (1308)、PチャネルFETM9 (1312)、PチャネルFETM10 (1313)、NチャネルFETM13 (1316)、PチャネルFETM14 (1317)、PチャネルFETM15 (1318)、PチャネルFETM16 (1319)、NチャネルFETM17 (1320)、定電流源1 (1321)、定電流源2 (1322)、定電流源3 (1323)、定電流源4 (1324)、定電流源5 (1325) と接続が同一である。

#### 【0103】

図13と接続が相違するPチャネルFETM6 (1509)、PチャネルFETM18 (1526)、NチャネルFETM7 (1510)、NチャネルFETM3 (1506)、PチャネルFETM8 (1511)、PチャネルFETM11 (1514)、NチャネルFETM19 (1527)、NチャネルFETM12 (1515) について説明する。

#### 【0104】

ドレイン電極をPチャネルFETM18 (1526) のソース電極と接続し、ゲート電極をPチャネルFETM9 (1512) のゲート電極とPチャネルFETM16 (1519) のドレイン電極とPチャネルFETM1 (1504) のゲート電極と定電流源5 (1525) に接続し、ソース電極を電源に接続するPチャネルFETM6 (1509) と、



ドレイン電極をNチャネルFETM7 (1510) のドレイン電極とNチャネルFETM7 (1510) のゲート電極とNチャネルFETM3 (1506) のゲート電極に接続し、ゲート電極を所定の電圧1 (1528) に接続し、ソース電極をPチャネルFETM6 (1509) のドレイン電極に接続するPチャネルFETM18 (1526) と、

ドレイン電極とゲート電極をPチャネルFETM18 (1526) のドレイン電極とNチャネルFETM3 (1506) のゲート電極に接続し、ソース電極をグラウンドに接続するNチャネルFETM7 (1510) と、

ドレイン電極を差動入力段1 (1501) に接続し、ゲート電極をNチャネルFETM7 (1510) のゲート電極とNチャネルFETM7 (1510) のドレイン電極とPチャネルFETM18 (1526) のドレイン電極に接続し、ソース電極をグラウンドに接続するNチャネルFETM3 (1506) と、

ドレイン電極を差動入力段2 (1502) と接続し、ゲート電極をPチャネルFETM11 (1514) のゲート電極とPチャネルFETM11 (1514) のドレイン電極とNチャネルFETM19 (1527) のドレイン電極に接続し、ソース電極を電源に接続するPチャネルFETM8 (1511) と、

ドレイン電極とゲート電極をPチャネルFETM8 (1511) のゲート電極とNチャネルFETM19 (1527) のドレイン電極に接続し、ソース電極を電源に接続するPチャネルFETM11 (1514) と、

ドレイン電極をPチャネルFETM11 (1514) のドレイン電極とPチャネルFETM11 (1514) のゲート電極とPチャネルFETM8 (1511) のゲート電極に接続し、ゲート電極を所定の電圧2 (1529) に接続し、ソース電極をNチャネルFETM12 (1515) のドレイン電極に接続するNチャネルFETM19 (1527) と、

ドレイン電極をNチャネルFETM19 (1527) のソース電極に接続し、ゲート電極をNチャネルFETM5 (1508) のゲート電極とPチャネルFETM15 (1518) のドレイン電極とNチャネルFETM17 (1520) のドレイン電極とNチャネルFETM17 (1520) のゲート電極とNチャネルFETM2 (1505) のゲート電極に接続し、ソース電極をグラウンドに接続す

るNチャネルFETM12 (1515) と、

上記で説明した差動入力段1 (1501)、差動入力段2 (1502)、出力端子 (1503)、PチャネルFETM1 (1504)、NチャネルFETM2 (1505)、NチャネルFETM4 (1507)、NチャネルFETM5 (1508)、PチャネルFETM9 (1512)、PチャネルFETM10 (1513)、NチャネルFETM13 (1516)、PチャネルFETM14 (1517)、PチャネルFETM15 (1518)、PチャネルFETM16 (1519)、NチャネルFETM17 (1520)、定電流源1 (1521)、定電流源2 (1522)、定電流源3 (1523)、定電流源4 (1524)、定電流源5 (1525) とから構成される。

#### 【0105】

また、差動入力段1 (1501) は、公知技術の差動トランジスタ対と、公知技術のカレントミラー回路とを具備し、差動入力段2 (1502) は、公知技術の差動トランジスタ対と、公知技術の負荷回路とを具備する構成であり、その回路構成は、本発明の第1の実施の形態に係る演算増幅器の構成と同一である。

#### 【0106】

本発明の第15の実施の形態に係る演算増幅器の基本的な入力段の動作は、第13の実施の形態と同じであるが、新規に追加したPチャネルFETM18 (1526) とNチャネルFETM19 (1527) について説明する。

#### 【0107】

本発明の第15の実施の形態に係る演算増幅器の差動入力段1 (1501) と差動入力段2 (1502) に、上昇または下降の信号が入力されると、第13の実施の形態の説明と同様にPチャネルFETM6 (1509) かNチャネルFETM12 (1515) に大電流を流れる。そこで、その電流値を抑えるためにPチャネルFETM18 (1526) のゲート電極には所定の電圧1 (1528) をNチャネルFETM19 (1527) のゲート電極には所定の電圧2 (1529) を入力し、PチャネルFETM18 (1526) とNチャネルFETM19 (1527) が定電流源の役割をはたすようにし、ある一定以上の電流が流れなくなり電流値を調整することが可能となる。

## 【0108】

図16は本発明の第16の実施の形態に係る演算増幅器の構成を示した図である。

## 【0109】

本発明の第16の実施の形態に係る演算増幅器の回路構成は、図15に示す本発明の第15の実施の形態に係る演算増幅器の回路の極性を逆にした点であり、図15の回路構成からの変更点はPチャネルFETをNチャネルFETに、NチャネルFETをPチャネルFETに置き換え、これに伴い定電流源1（1621）、定電流源2（1622）を第15の実施の形態と逆極性にした点である。

## 【0110】

本発明の第15の実施の形態に係る演算増幅器の動作は、回路の極性が逆とされただけであり、実質的に、第15の実施の形態と同様となる。このため、動作の説明は省略する。

## 【0111】

図17は本発明の第17の実施の形態に係る演算増幅器の構成を示した図である。

## 【0112】

本発明の第17の実施の形態に係る演算増幅器の基本の回路構成は、図15に示す本発明の第15の実施の形態に係る演算増幅器とほぼ同一である。

## 【0113】

図15との相違はPチャネルFETM18（1726）のゲート電極とNチャネルFETM19（1727）のゲート電極の接続である。第15の実施の形態では、ゲート電極を所定の電圧に接続していたが、図17ではPチャネルFETM18（1726）のゲート電極はNチャネルFETM5（1708）のゲート電極とNチャネルFETM12（1715）のゲート電極とNチャネルFETM17（1720）のゲート電極とNチャネルFETM17（1720）のドレイン電極とNチャネルFETM2（1705）のゲート電極とPチャネルFETM15（1718）のドレイン電極に接続される。NチャネルFETM19（1727）のゲート電極はPチャネルFETM6（1709）のゲート電極とPチャ

ネル FETM9 (1712) のゲート電極と P チャンネル FETM16 (1719) のドレイン電極と P チャンネル FETM1 (1704) のゲート電極と定電流源 5 (1725) に接続される。

【0114】

その他の素子の接続は、図 15 の本発明の第 15 の実施の形態に係る演算増幅器と同一である。

【0115】

本発明の第 17 の実施の形態に係る演算増幅器の動作についても、第 15 の実施の形態の M18 (1526)、M19 (1527) と第 17 の実施の形態の M18 (1726)、M19 (1527) は役割が同じであり、M6 (1704)、M12 (1715) に流れる貫通電流を防ぐ働きをする。よって詳細な動作説明は省略する。

【0116】

図 18 は本発明の第 18 の実施の形態に係る演算増幅器の構成を示した図である。

【0117】

本発明の第 18 の実施の形態に係る演算増幅器の回路構成は、図 17 に示す本発明の第 17 の実施の形態に係る演算増幅器の回路の極性を逆にした点であり、図 17 の回路構成からの変更点は、P チャンネル FET を N チャンネル FET に、N チャンネル FET を P チャンネル FET に置き換え、これに伴い定電流源 1 (1821)、定電流源 2 (1822) を第 17 の実施の形態と逆極性にした点である。

【0118】

本発明の第 18 の実施の形態に係る演算増幅器動作は、回路の極性が逆とされただけであり、実質的に、第 17 の実施の形態と同様となる。このため、動作の説明は省略する。

【0119】

【発明の効果】

以上の説明のように、P チャンネル FET 受け差動入力段と N チャンネル FET 受け差動入力段の両方の電流値を外部信号を使わず増加させるため、外部に制御回

路を持つ必要も無く、フルレンジにおいて高スルーレートを得ることができる。  
また、演算増幅器の入力が変化したときだけ電流値を増加させるため、消費電流値の増加はほとんどない。

【 0 1 2 0 】

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態の演算増幅器の構成を示す回路図である。

【図 2】

本発明の第 2 の実施の形態の演算増幅器の構成を示す回路図である。

【図 3】

本発明の第 3 の実施の形態の演算増幅器の構成を示す回路図である。

【図 4】

本発明の第 4 の実施の形態の演算増幅器の構成を示す回路図である。

【図 5】

本発明の第 5 の実施の形態の演算増幅器の構成を示す回路図である。

【図 6】

本発明の第 6 の実施の形態の演算増幅器の構成を示す回路図である。

【図 7】

本発明の第 7 の実施の形態の演算増幅器の構成を示す回路図である。

【図 8】

本発明の第 8 の実施の形態の演算増幅器の構成を示す回路図である。

【図 9】

本発明の第 9 の実施の形態の演算増幅器の構成を示す回路図である。

【図 1 0】

本発明の第 1 0 の実施の形態の演算増幅器の構成を示す回路図である。

【図 1 1】

本発明の第 1 1 の実施の形態の演算増幅器の構成を示す回路図である。

【図 1 2】

本発明の第 1 2 の実施の形態の演算増幅器の構成を示す回路図である。

## 【図 13】

本発明の第 13 の実施の形態の演算増幅器の構成を示す回路図である。

## 【図 14】

本発明の第 14 の実施の形態の演算増幅器の構成を示す回路図である。

## 【図 15】

本発明の第 15 の実施の形態の演算増幅器の構成を示す回路図である。

## 【図 16】

本発明の第 16 の実施の形態の演算増幅器の構成を示す回路図である。

## 【図 17】

本発明の第 17 の実施の形態の演算増幅器の構成を示す回路図である。

## 【図 18】

本発明の第 18 の実施の形態の演算増幅器の構成を示す回路図である。

## 【図 19】

従来の演算増幅器の構成を示す回路図である。

## 【図 20】

本発明の演算増幅器と従来の演算増幅器の特性比較表である。

## 【図 21】

本発明の演算増幅器と従来の演算増幅器の動作を示す波形図である。

## 【符号の説明】

101、201、301、401、501、601、701、801、901  
、1001、1101、1201、1301、1401、1501、1601、  
1701、1801、1901 差動入力段 1

102、202、302、402、502、602、702、802、902  
、1002、1102、1202、1302、1402、1502、1602、  
1702、1802、1902 差動入力段 2

103、203、303、403 電流源回路 1

104、204、304、404 電流源回路 2

105、205、305、405、503、603、703、803 位相  
反転回路 1

106、206、306、406、504、604、704、804 位相  
反転回路2

107、207、307、407、505、605、705、805、903  
、1003、1103、1203、1335、1435、1535、1635、  
1735、1835、1935 駆動段回路

110、210、310、410、506、606、706、806、904  
、1004、1104、1204、1303、1403、1503、1603、  
1703、1803、1903 出力端子

311、411、715、815、917、1017、1119、1219、  
1321、1421、1521、1621、1721、1821、1911

定電流源1

312、412、716、816、918、1018、1120、1220、  
1322、1422、1522、1622、1722、1822、1922

定電流源2

1323、1423、1523、1623、1723、1823 定電流源  
3

1324、1424、1524、1624、1724、1824 定電流源  
4

1325、1425、1525、1625、1725、1825 定電流源  
5

108、208、308、408、507、511、512、607、611  
、612、707、712、713、714、807、812、813、814  
、905、912、913、914、910、915、1005、1010、1  
012、1013、1014、1015、1105、1110、1111、11  
13、1114、1115、1116、1205、1210、1211、121  
3、1214、1215、1216、1304、1309、1311、1312  
、1313、1314、1317、1318、1319、1404、1409、  
1411、1412、1413、1414、1416、1420、1504、1  
509、1526、1511、1512、1513、1514、1517、15

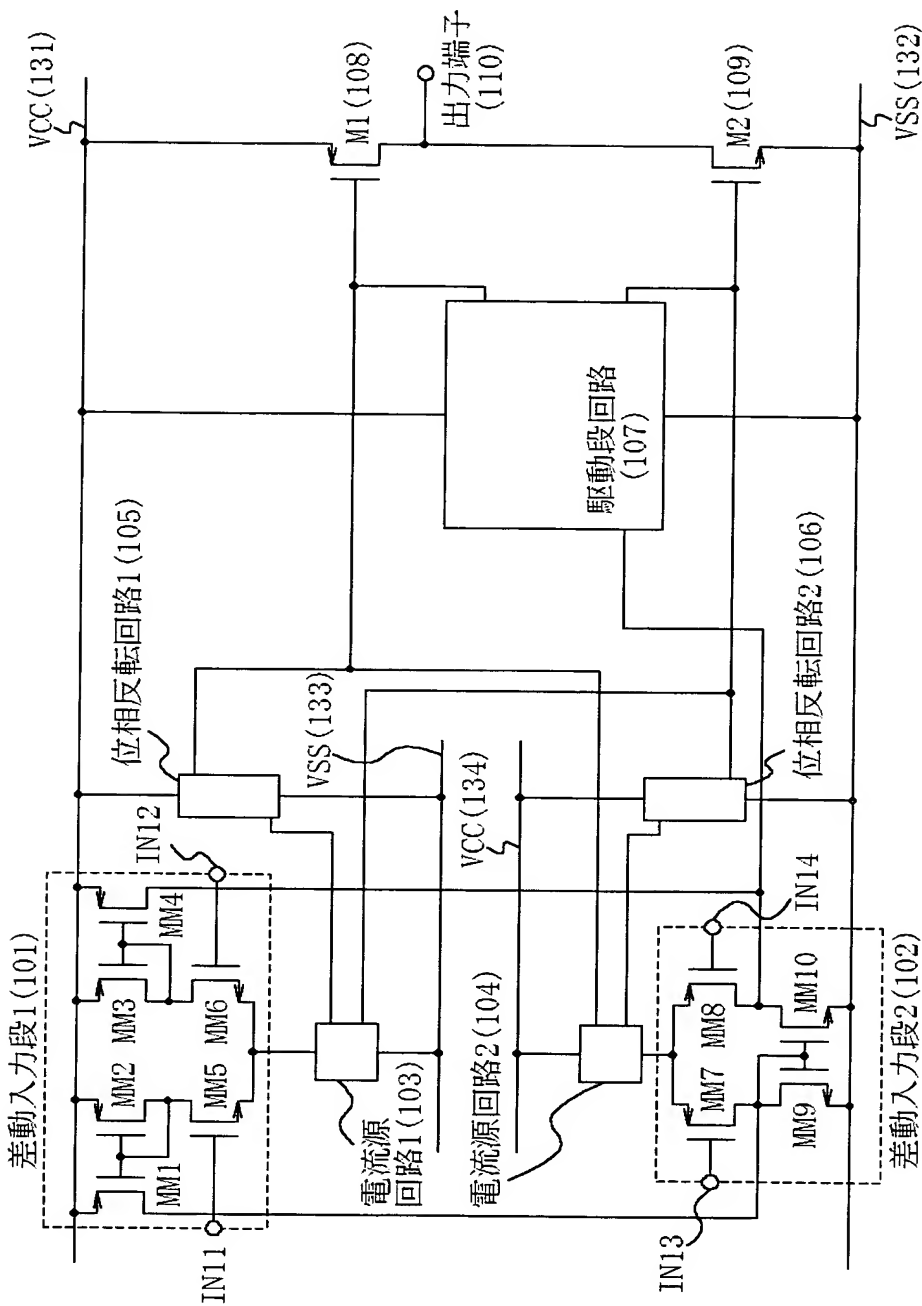
18、1519、1604、1609、1626、1611、1612、1613、1614、1616、1620、1704、1709、1726、1711、1712、1713、1714、1717、1718、1719、1804、1809、1826、1811、1812、1813、1814、1816、1820、1904、1909、1910 PチャンネルFET

109、209、309、409、508、509、510、608、609、610、708、709、710、711、808、809、810、811、906、907、908、909、911、916、1006、1007、1008、1005、1011、1016、1106、1107、1108、1109、1112、1117、1118、1206、1207、1208、1209、1212、1217、1218、1305、1308、1307、1308、1310、1315、1316、1320、1405、1406、1407、1408、1410、1415、1417、1418、1419、1505、1506、1507、1508、1510、1527、1515、1516、1520、1605、1606、1607、1608、1610、1629、1615、1617、1618、1619、1705、1706、1707、1708、1710、1727、1715、1716、1720、1805、1806、1807、1808、1810、1827、1815、1817、1818、1819、1905、1909、1910 NチャンネルFET

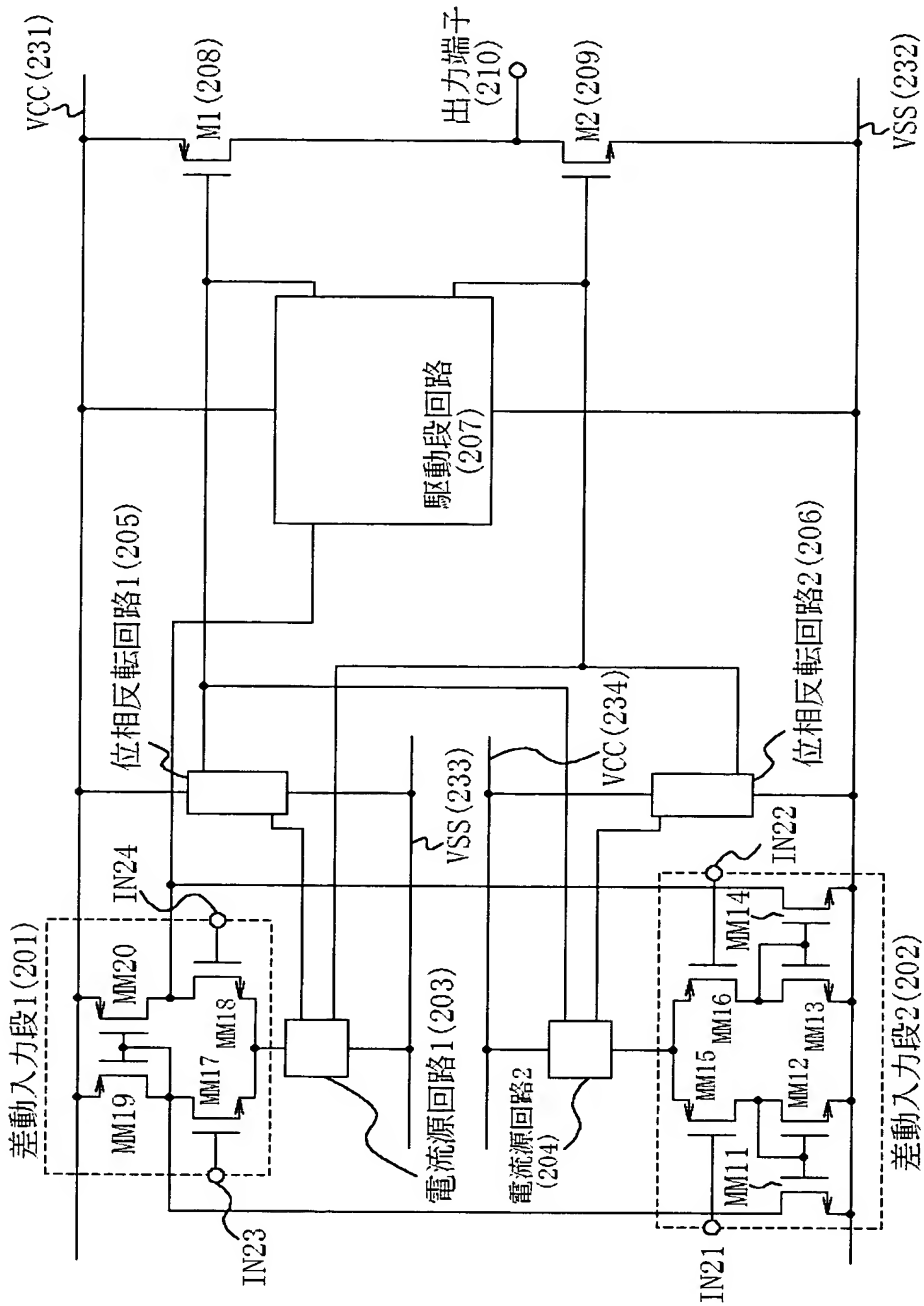


【書類名】 図面

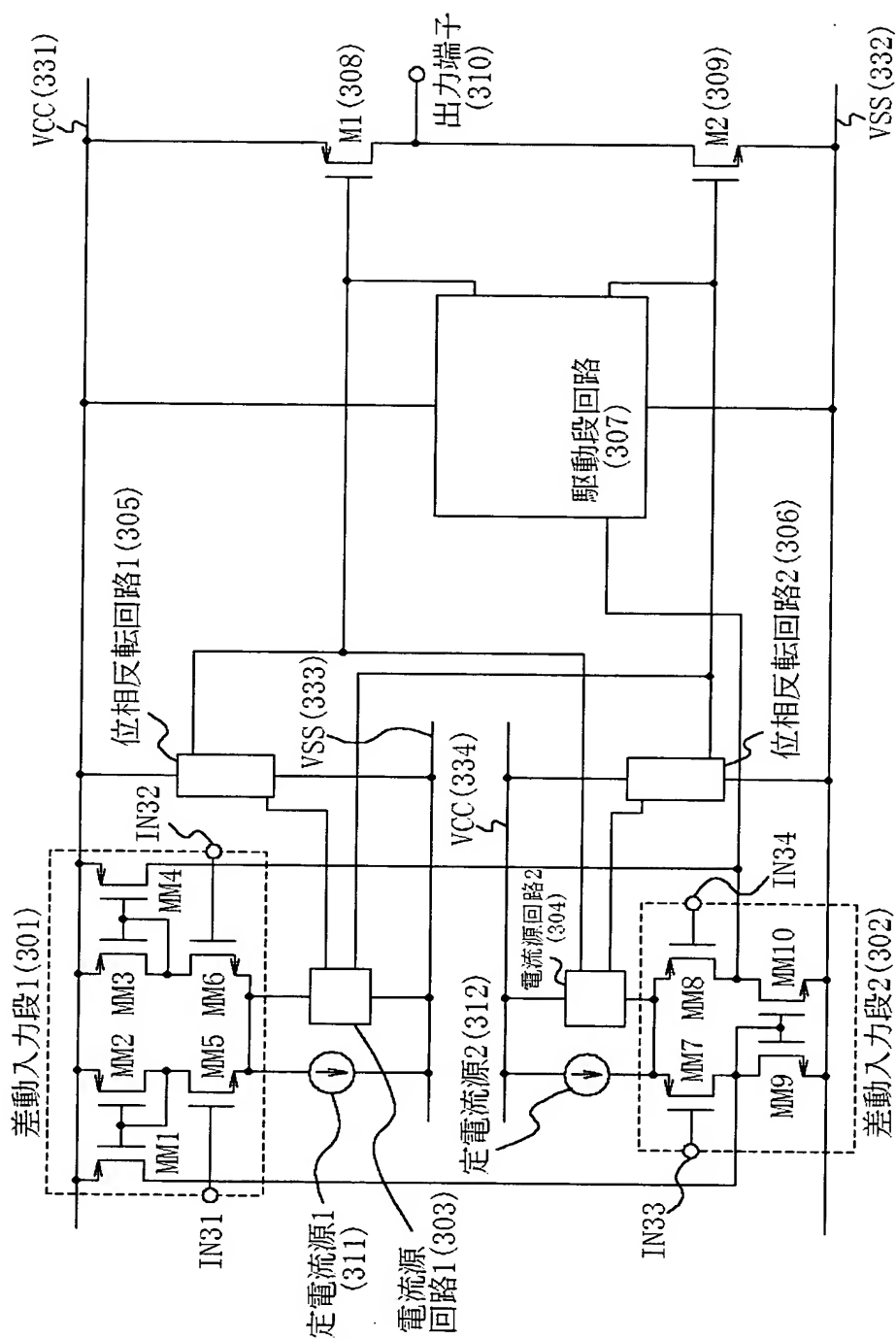
【図 1】



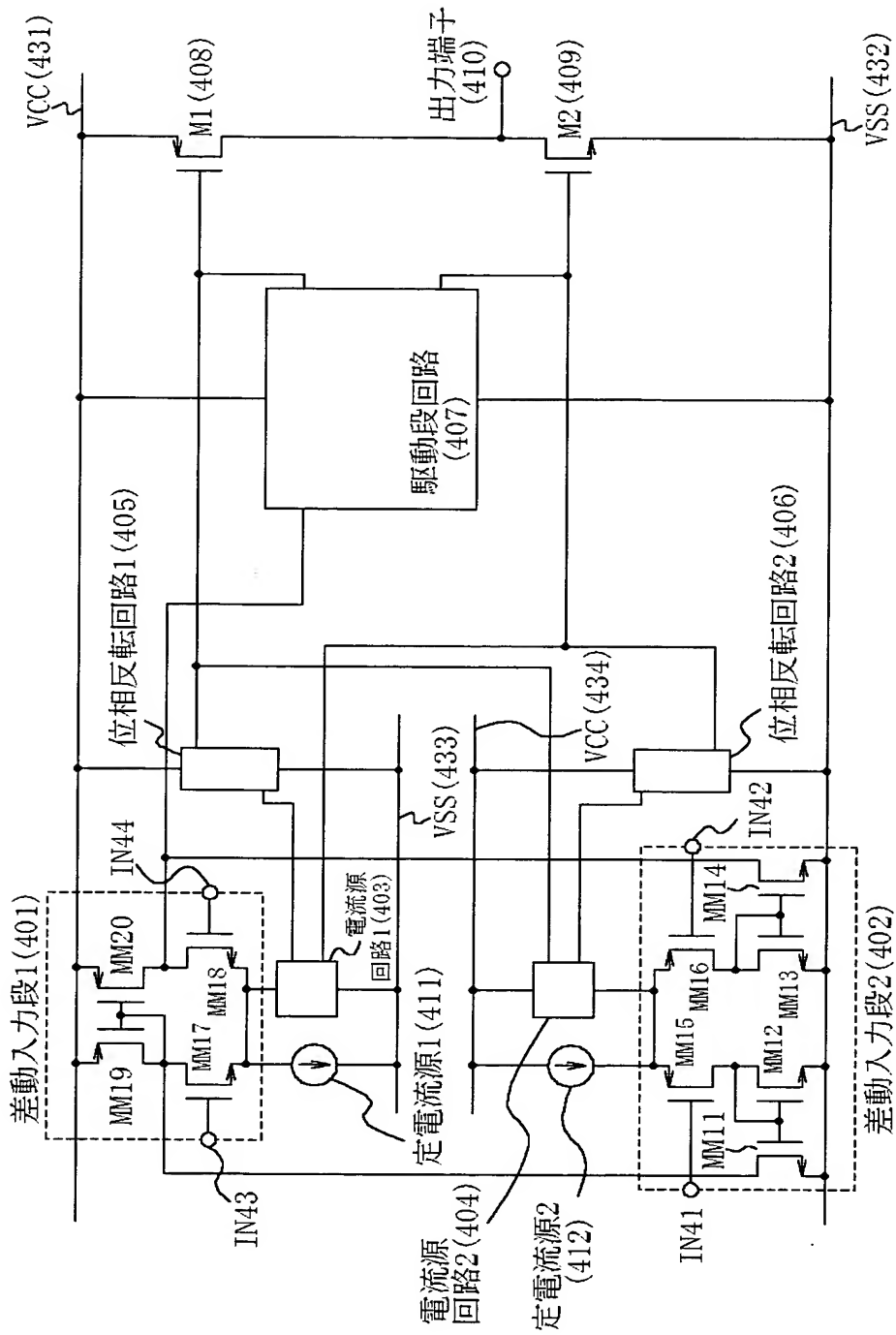
【図 2】



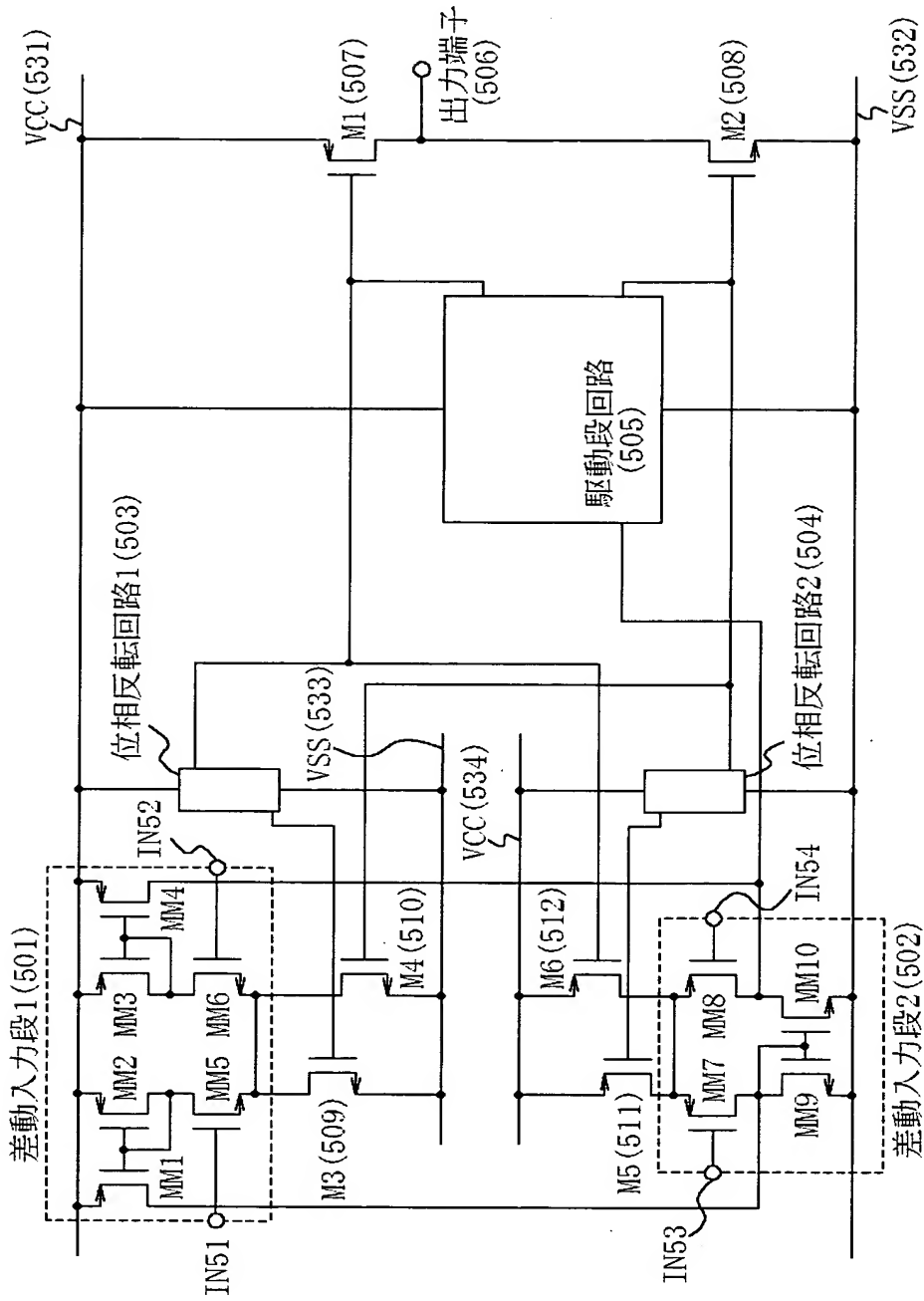
【図 3】



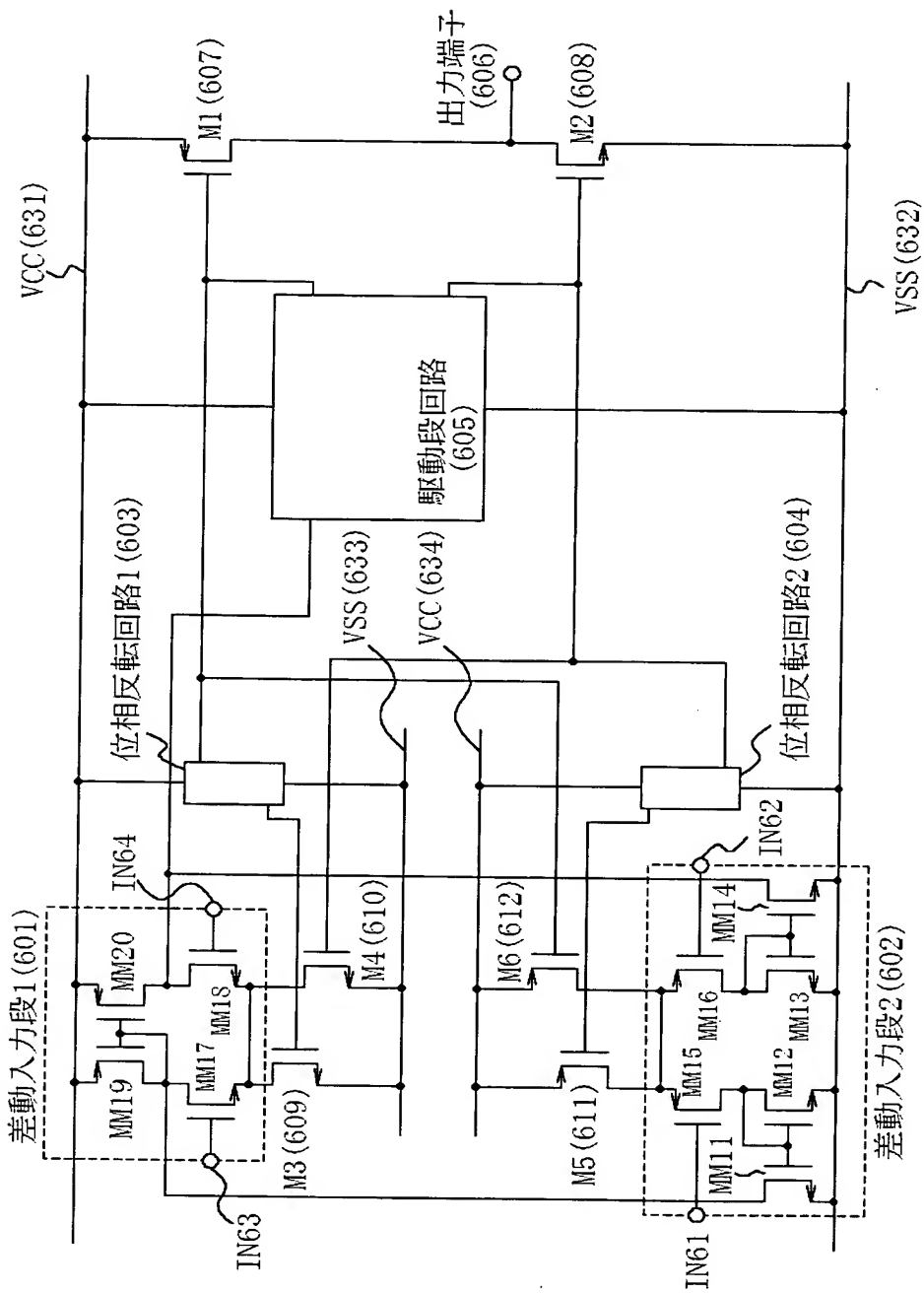
【図 4】



【図 5】

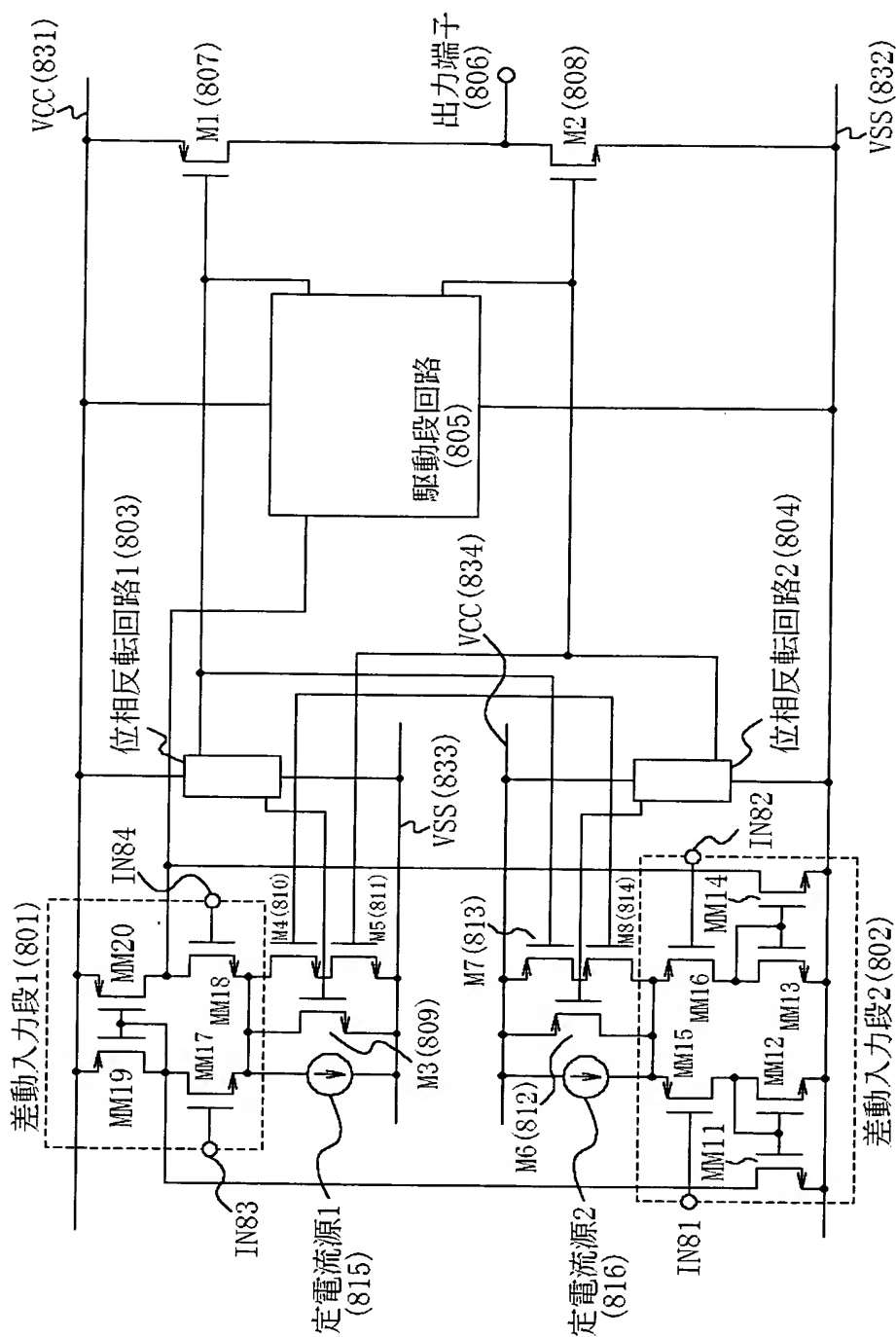


【図 6】



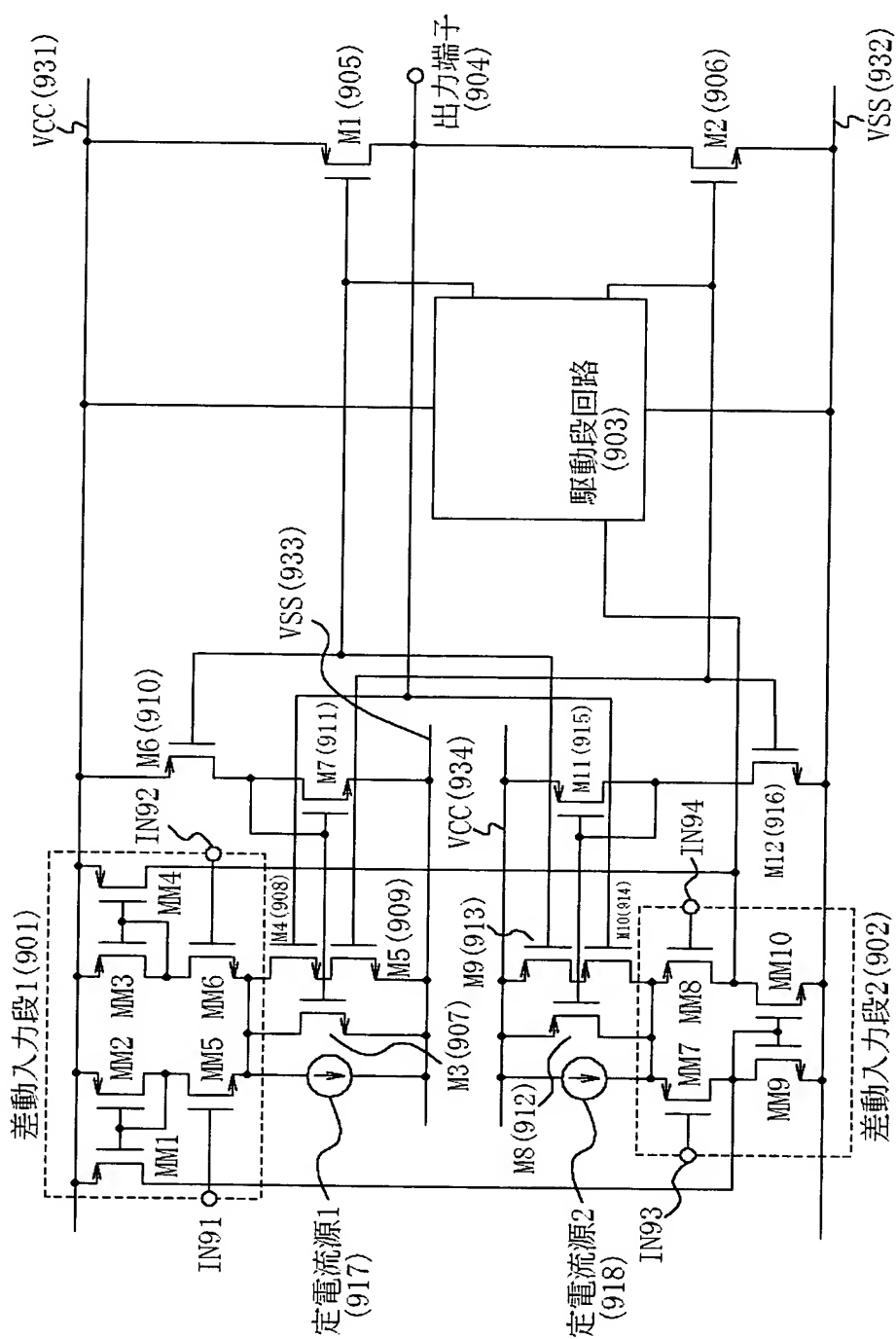


【図 8】

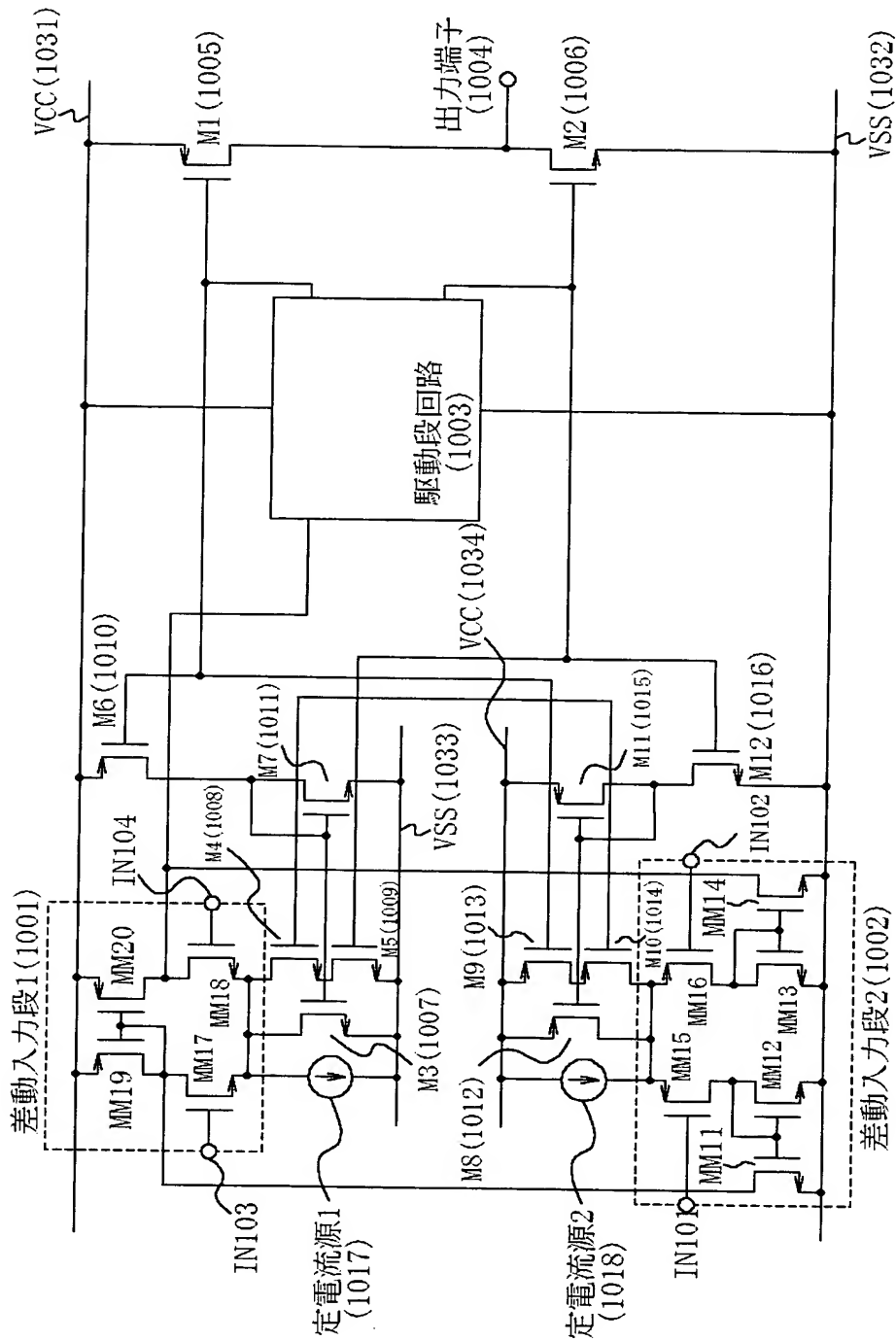




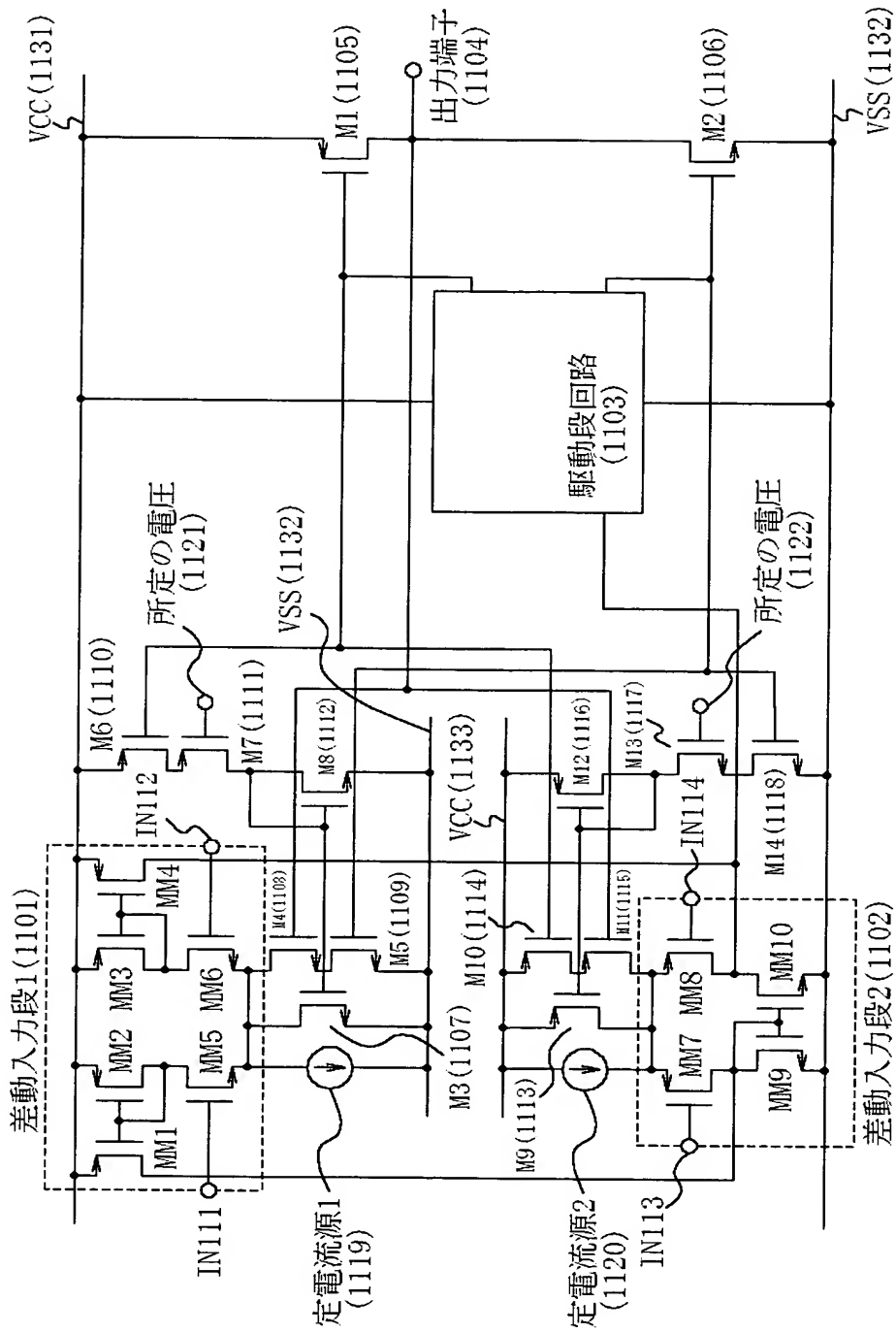
【図 9】



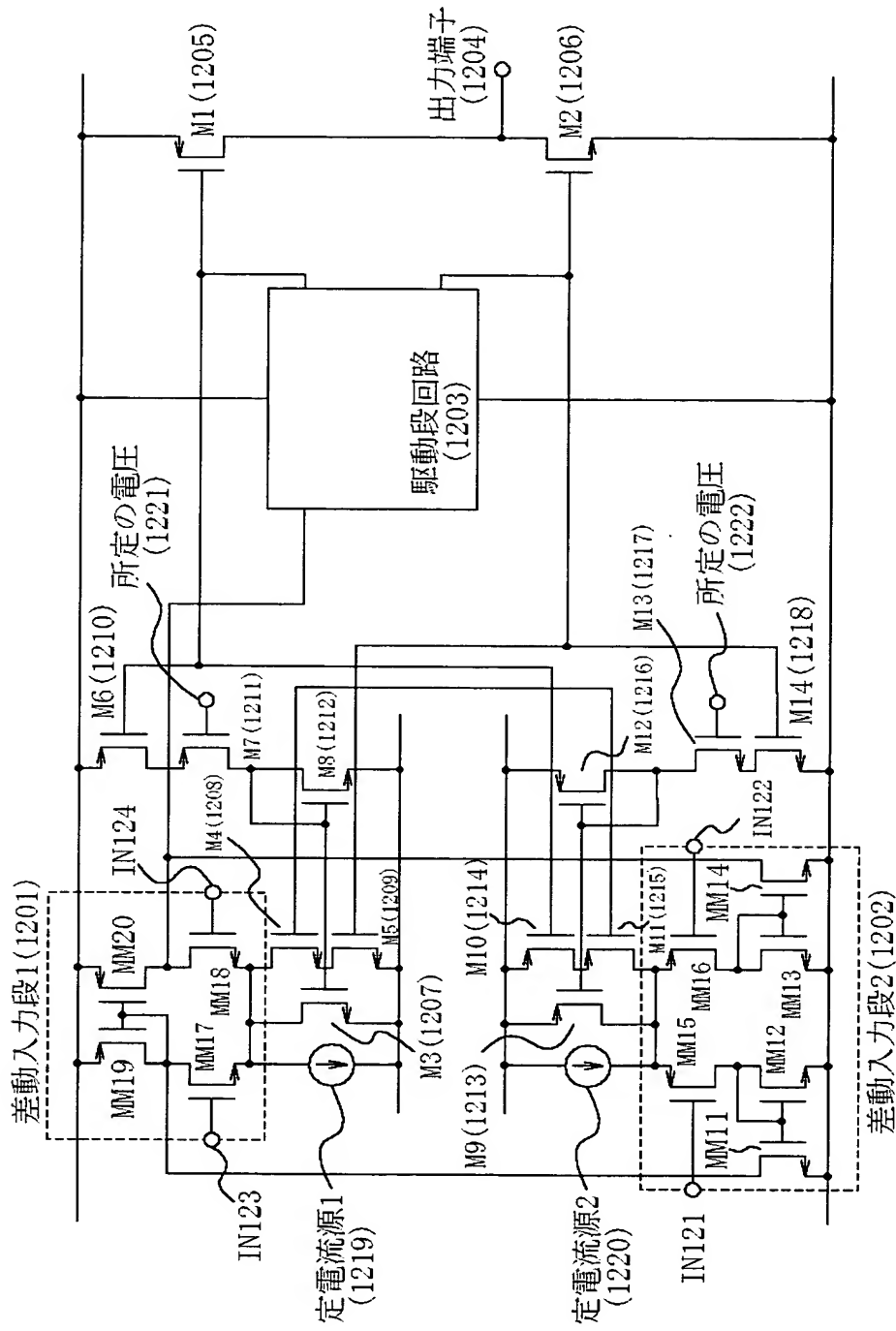
【図10】



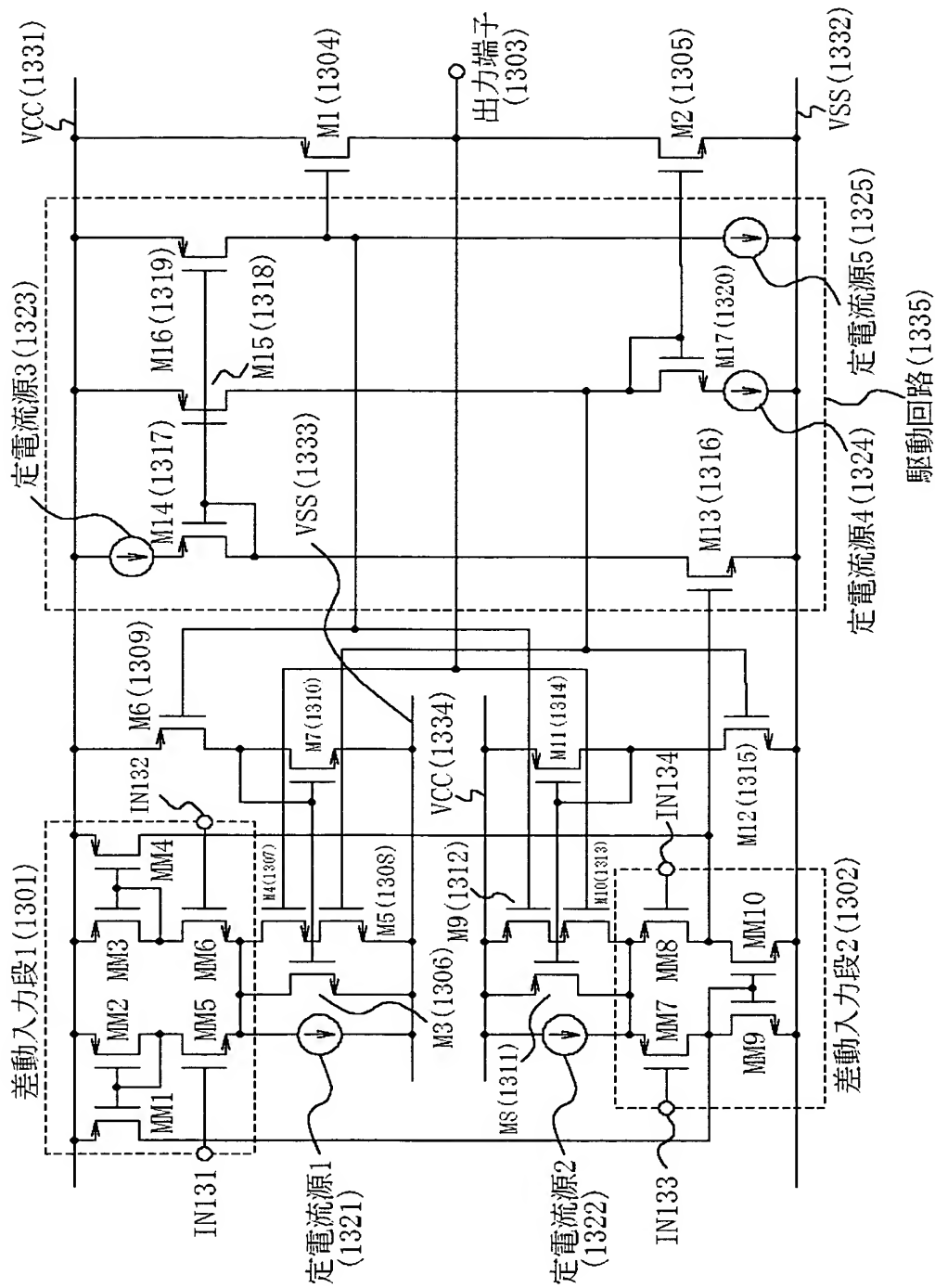
【図 11】



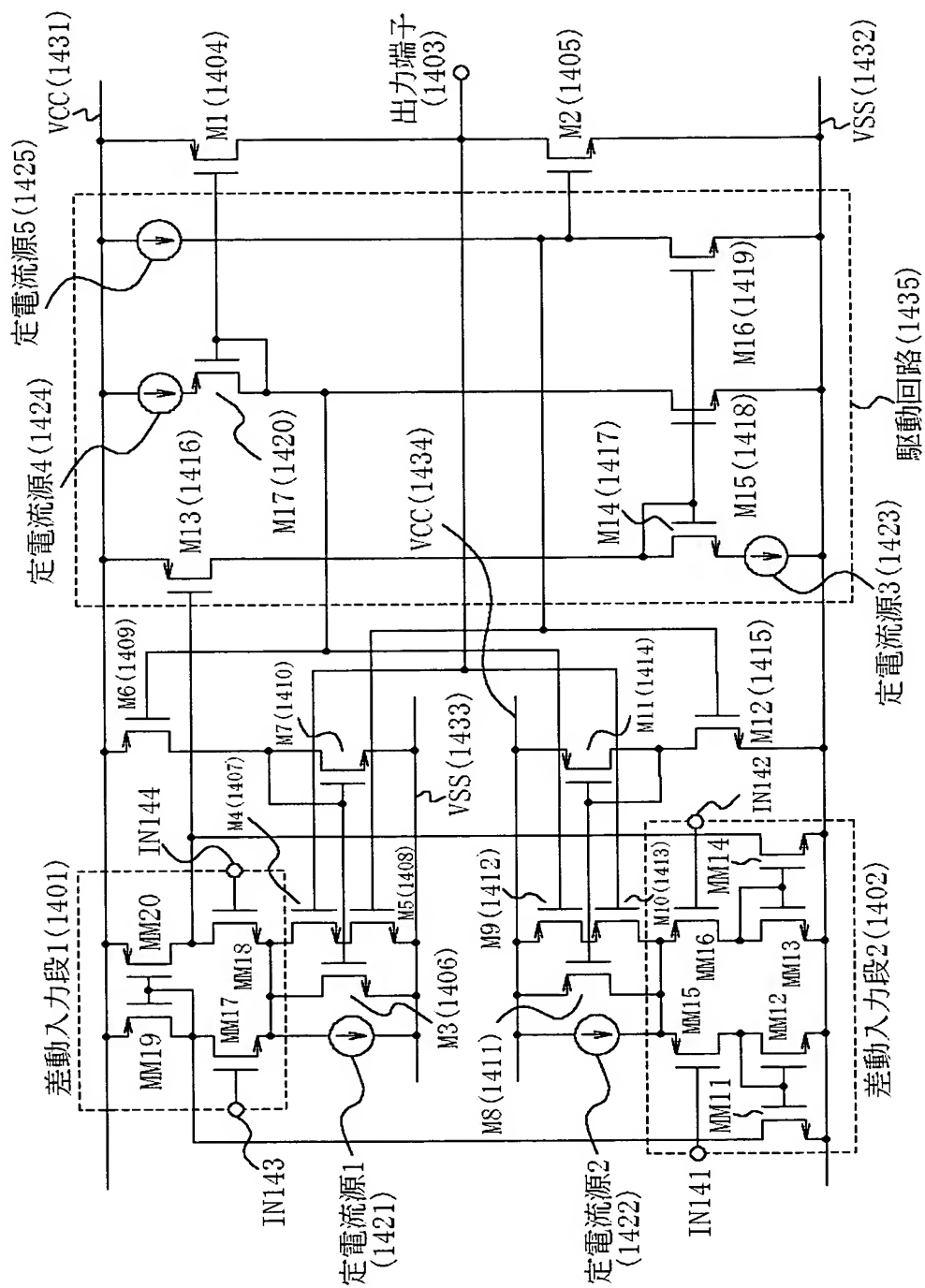
【図 12】



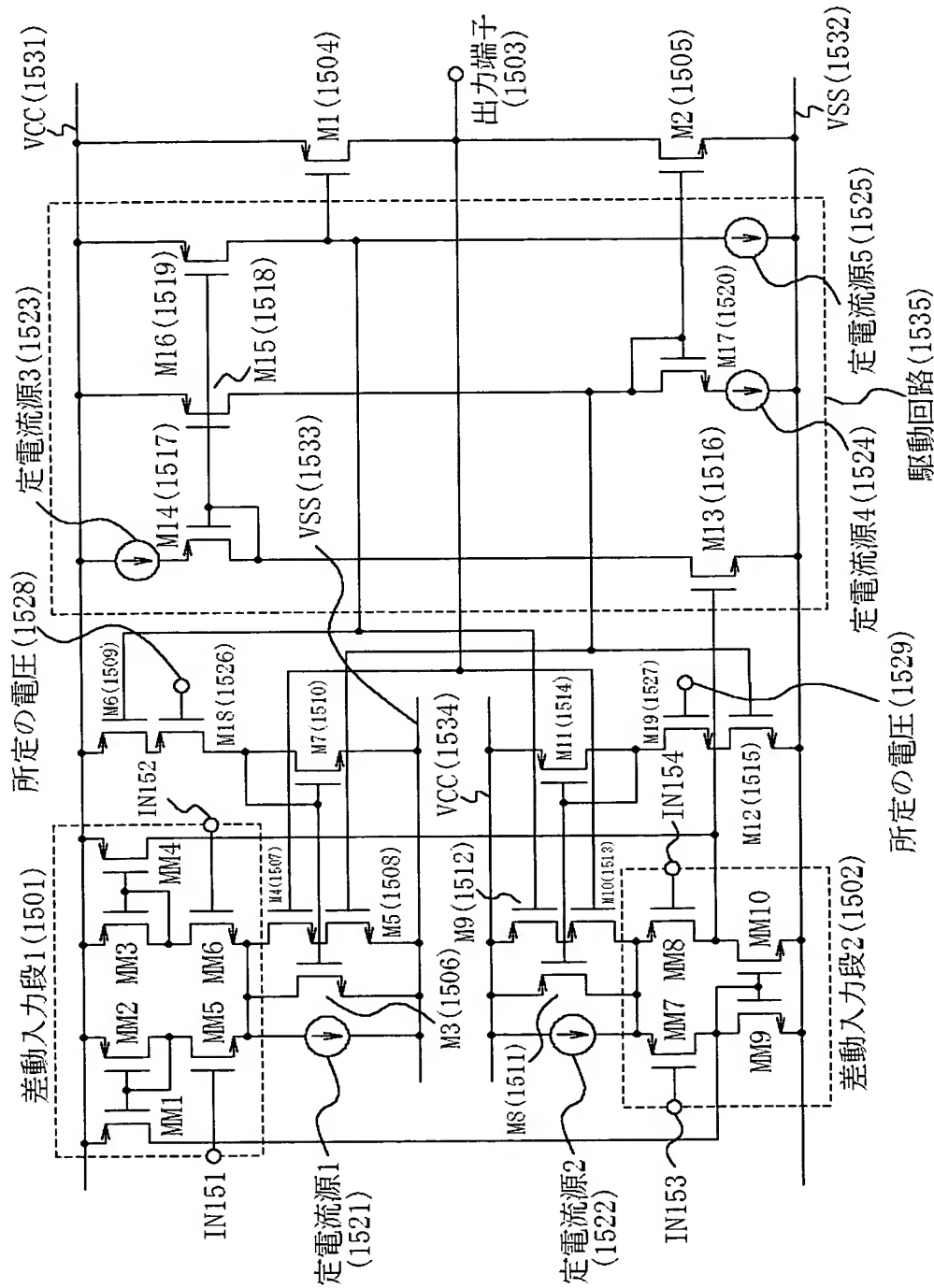
【図13】



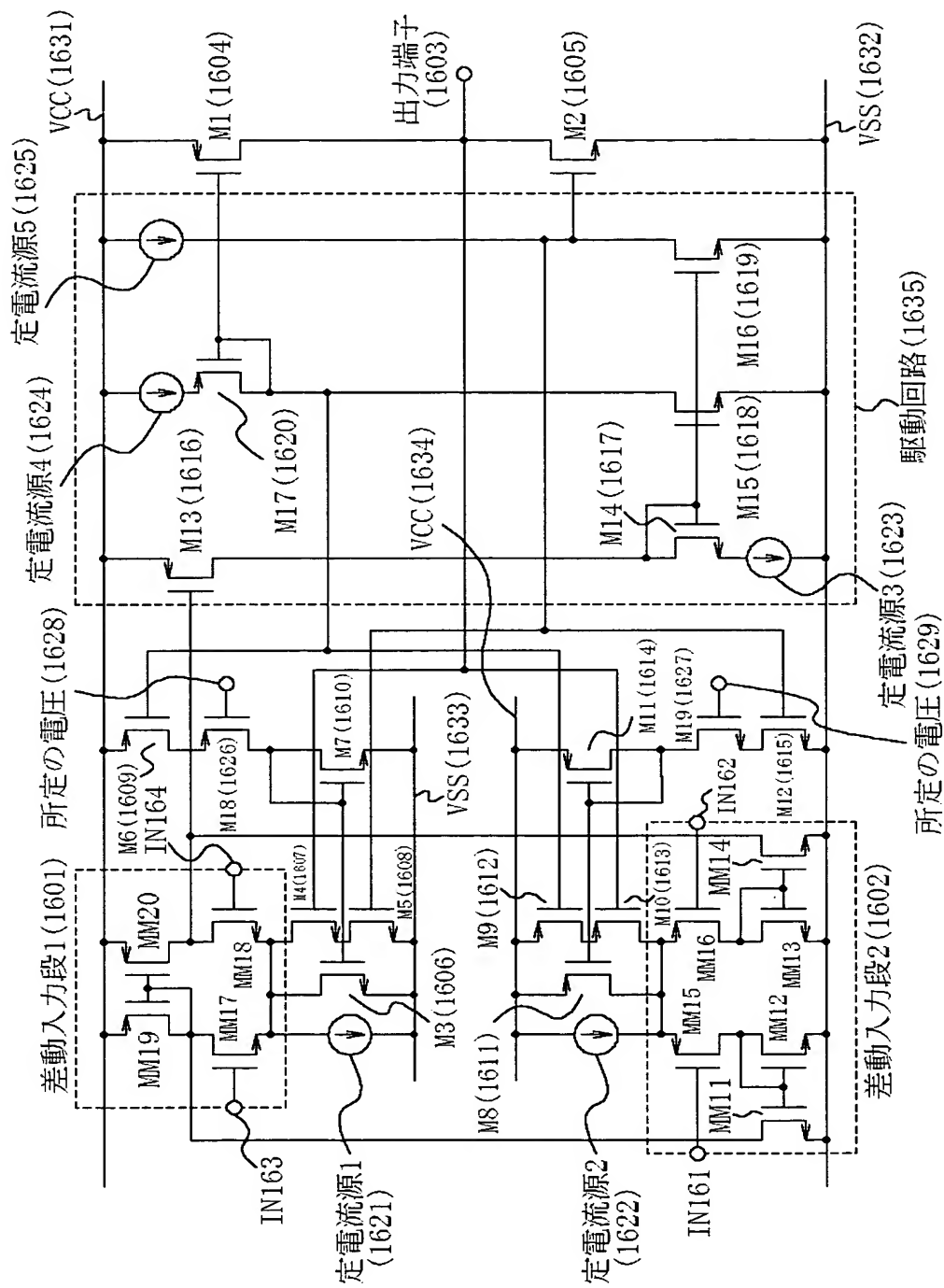
【図14】



【図15】

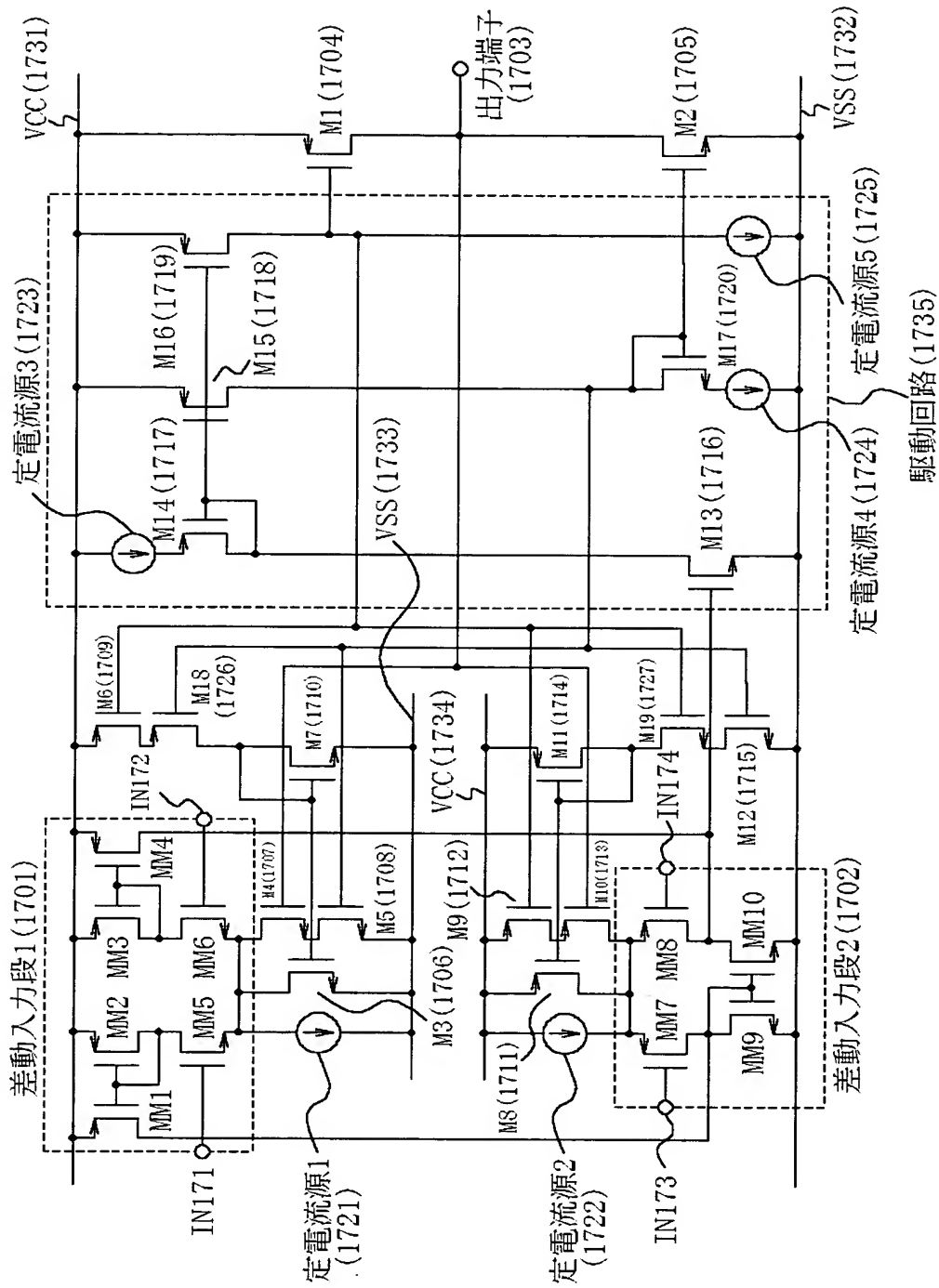


【図16】

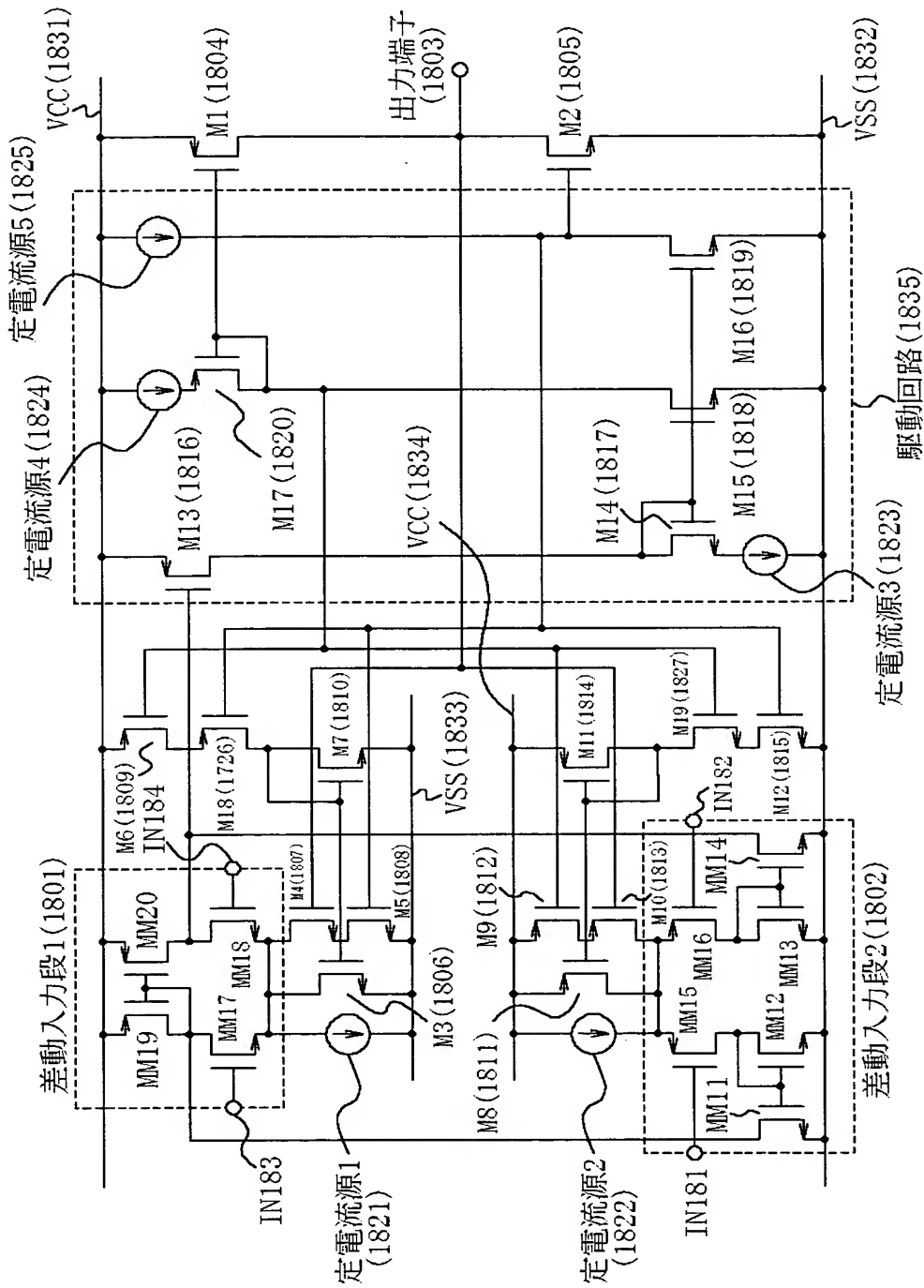




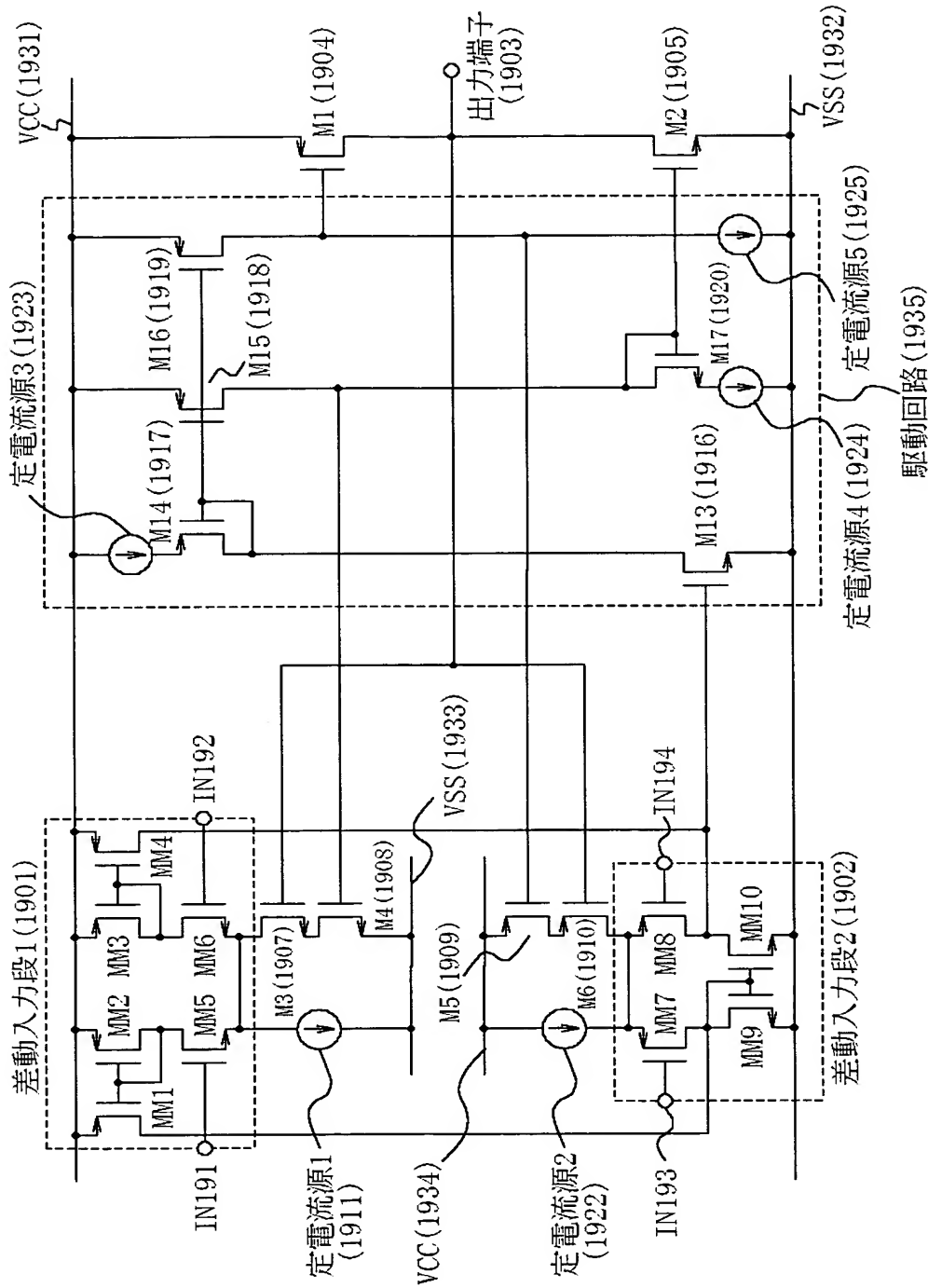
【図17】



【図18】



【図19】



【図 20】

(a)		単位: $\mu A$		振幅 (V)	
Sim結果	静消費電流値			VCC=4.0V	3.8-0.2
新規回路	23.202			VCC=4.6V	4.4-0.2
従来回路	20.786			VCC=5.0V	4.8-0.2
		11.6%増			

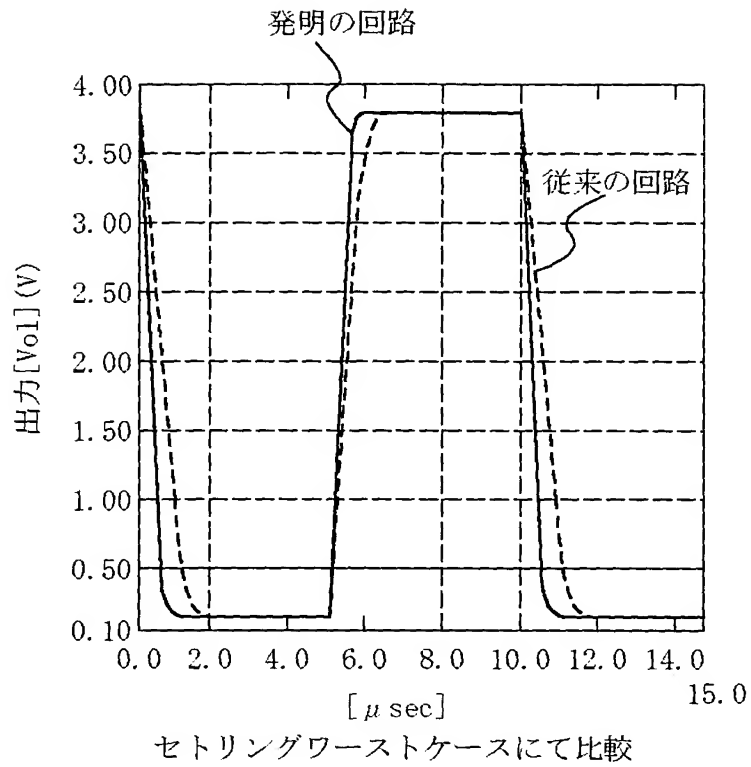
  

(b)		動消費電流値 ( $\mu A$ )	
Sim結果	VCC=4.0V, Ta=85°C, Vt=H	VCC=4.6V, Ta=25°C, Vt=ト	VCC=5.0V, Ta=-40°C, Vt=L
新規回路	26.987	39.848	57.383
従来回路	24.593	35.504	50.744
		9.7%増	13.1%増

(c)		セトリング時間 ( $\mu s$ )	
Sim結果	VCC=4.0V, Ta=85°C, Vt=H	VCC=4.6V, Ta=25°C, Vt=ト	VCC=5.0V, Ta=-40°C, Vt=L
UPorDW	SUT	SUT	SUT
新規回路	0.840	0.570	0.400
従来回路	1.490	0.880	0.590
		43%減	20%減

【図 2 f】



【書類名】 要約書

【要約】

【課題】 広入出力レンジが可能で、かつ大きな負荷を駆動する演算増幅器であって、演算増幅器内部に自己制御回路を持ち、トランジスタの閾値  $V_t$  の制限を受けずに広入出力レンジで高スルーレートを得ることが出来る演算増幅器を提供する。

【解決手段】 フルレンジで入力可能な差動入力段と、その差動入力段の電流値を決定する電流源回路と、その電流源回路をコントロールする位相反転回路と、駆動段と、出力段とを有し、出力段のトランジスタと電流源回路との間に位相反転回路を設け、位相反転回路は、出力段の出力レベルに対応して、電流源回路をコントロールする演算増幅器。

【選択図】 図 1

## 認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 8 9 0 7 3
受付番号	5 0 2 0 1 4 7 8 2 5 8
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 1 0 月 2 日

## &lt; 認定情報・付加情報 &gt;

【提出日】	平成14年10月 1日
-------	-------------

次頁無

特願 2002-289073

出 願 人 履 歷 情 報

識別番号

[390001915]

1. 変更年月日

1990年10月 3日

[変更理由]

新規登録

住 所

山形県山形市北町4丁目12番12号

氏 名

山形日本電気株式会社

2. 変更年月日

2003年 2月21日

[変更理由]

住所変更

住 所

山形県鶴岡市宝田一丁目11番73号

氏 名

山形日本電気株式会社